

RENCANA PEMBELAJARAN SEMESTER (R P S)



**MATAKULIAH : PRAK. PERANCANGAN SISTEM
DIGITAL
KODE MK : EAD606261
SEMESTER : VI (Enam)**

Penyusun:

Ir. Wahab Musa, MT.,Ph.D
NIP. (Belum Ada NIP)

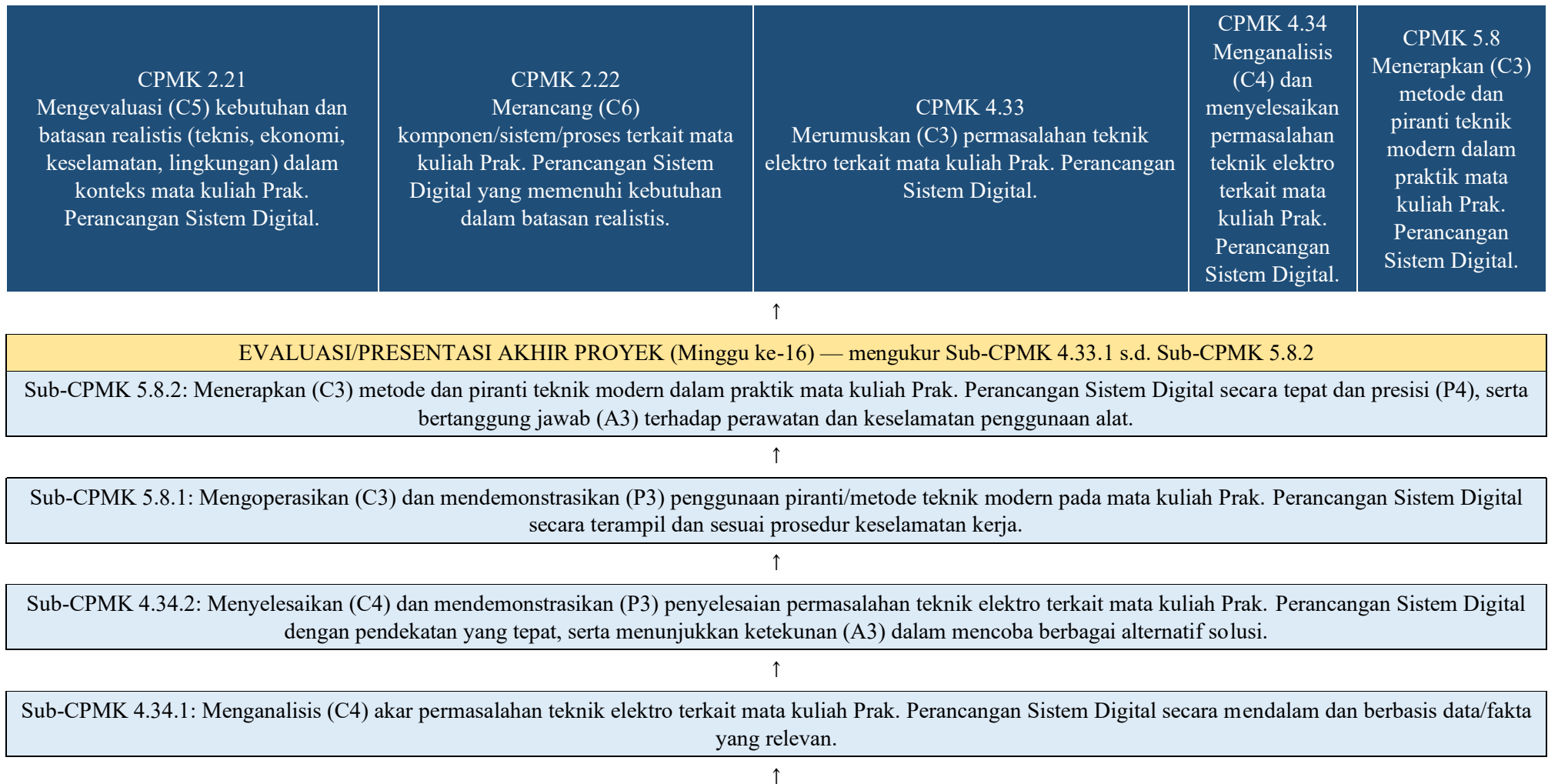
**PROGRAM STUDI S1 TEKNIK ELEKTRO
JURUSAN TEKNIK ELEKTRO
FAKULTAS TEKNIK
UNIVERSITAS NEGERI GORONTALO
2026**

LEMBAR PENGESAHAN

Mata Kuliah	Kode	Bobot (SKS)		Semester	Revisi
		Teori	Praktikum		
Prak. Perancangan Sistem Digital	EAD606261	0	1	VI	OBE
Mata Kuliah Syarat	Tidak ada				
Kelompok Mata Kuliah	Rumpun Keahlian Sistem Digital				
Tim Pengajar	1. Ir. Wahab Musa, MT.,Ph.D Iskandar Z. Nasibu, S.Pd, M.Eng.				
Otorisasi	Validator Wakil Dekan 1  Dr. Arip Mulyanto, S.Kom., M.kom		Ketua Program Studi  Ifan Wiranto, ST.,MT		

ANALISIS INSTRUKSIONAL PEMBELAJARAN

(Peta Hubungan antar Sub-CPMK)



Sub-CPMK 4.33.2: Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital secara sistematis dan logis dalam bentuk pernyataan masalah yang jelas.



Sub-CPMK 4.33.1: Mengidentifikasi (C2) permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital secara tepat berdasarkan data/gejala yang teramati.



UJIAN TENGAH SEMESTER (Minggu ke-8) — mengukur Sub-CPMK 2.21.1 s.d. Sub-CPMK 2.22.2

Sub-CPMK 2.22.2: Merancang (C6) dan menghasilkan (P4) gambar/prototipe komponen/sistem/proses mata kuliah Prak. Perancangan Sistem Digital secara terampil dan presisi sehingga memenuhi kebutuhan dalam batasan realistis yang ditetapkan.



Sub-CPMK 2.22.1: Menyusun (C5) alternatif rancangan komponen/sistem/proses terkait mata kuliah Prak. Perancangan Sistem Digital secara logis dan dapat dipertanggungjawabkan.



Sub-CPMK 2.21.2: Mengevaluasi (C5) kesesuaian kebutuhan dengan batasan realistis dalam konteks mata kuliah Prak. Perancangan Sistem Digital, serta menunjukkan kepedulian (A3) terhadap aspek keselamatan dan keberlanjutan lingkungan dalam setiap keputusan yang diambil.



Sub-CPMK 2.21.1: Mengidentifikasi (C4) kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada mata kuliah Prak. Perancangan Sistem Digital secara lengkap dan akurat berdasarkan data/kondisi nyata.



UNIVERSITAS NEGERI GORONTALO
FAKULTAS TEKNIK
PROGRAM STUDI S1 TEKNIK ELEKTRO

**KODE
DOKUMEN**

RENCANA PEMBELAJARAN SEMESTER (RPS)

Visi Keilmuan Prodi : Mengembangkan Teknologi Bidang Elektro yang berorientasi pada Energi Baru Terbarukan Berbasis Potensi Kawasan.

MATA KULIAH	KODE	RUMPUN MATA KULIAH (RMK)	BOBOT SKS	SEMESTER	TANGGAL PENYUSUNAN
Prak. Perancangan Sistem Digital	EAD606261	Rumpun Keahlian Sistem Digital	T= 0 P= 1	VI	4 September 2026
OTORISASI	DOSEN PENGEMBANG RPS		KOORDINATOR RMK	GPM (Gugus Penjaminan Mutu)	KETUA PRODI
					
Team Teaching	Ir. Wahab Musa, MT.,Ph.D		Iskandar Z. Nasibu, S.Pd, M.Eng.	Zainudin Bonok, ST.,MT	Ifan Wiranto, ST.,MT
CPL PRODI (Capaian Pembelajaran Lulusan Program Studi) Yang Dibebankan Pada Mata Kuliah)					

Capaian Pembelajaran Lulusan (CPL berdasarkan Keputusan asosiasi FOREI)	CPL-2	CPL-2: Kemampuan mendesain komponen, sistem dan/atau proses teknik elektro untuk memenuhi kebutuhan yang diharapkan di dalam batasan-batasan realistis, misalnya hukum, ekonomi, lingkungan, sosial, politik, kesehatan dan keselamatan, keberlanjutan serta untuk mengenali dan/atau memanfaatkan potensi sumber daya lokal dan nasional dengan wawasan global.
	CPL-4	CPL-4: Mengidentifikasi, merumuskan, menganalisis dan menyelesaikan permasalahan teknik elektro.
	CPL-5	CPL-5: Kemampuan menerapkan metode, keterampilan dan piranti teknik yang modern yang diperlukan untuk praktik teknik elektro.
Sustainable Development Goals (SDGs Terkait Mata Kuliah)	SDGs YANG DIDUKUNG MATA KULIAH	
	SDG 4 dan SDG 9	Pendidikan Berkualitas; Industri, Inovasi, dan Infrastruktur
Capaian Pembelajaran Mata Kuliah (CPMK adalah turunan CPL). CPMK bisa diturunkan menjadi sub CPMK tergantung keluasaan dan kedalaman serta karakteristik konten mata kuliah	CP MATA KULIAH (CPMK)	
	CPMK 2.21	CPMK 2.21: Mengevaluasi (C5) kebutuhan dan batasan realistis (teknis, ekonomi, keselamatan, lingkungan) dalam konteks mata kuliah Prak. Perancangan Sistem Digital.
	CPMK 2.22	CPMK 2.22: Merancang (C6) komponen/sistem/proses terkait mata kuliah Prak. Perancangan Sistem Digital yang memenuhi kebutuhan dalam batasan realistis.
	CPMK 4.33	CPMK 4.33: Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital.
	CPMK 4.34	CPMK 4.34: Menganalisis (C4) dan menyelesaikan permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital.
	CPMK 5.8	CPMK 5.8: Menerapkan (C3) metode dan piranti teknik modern dalam praktik mata kuliah Prak. Perancangan Sistem Digital.
	Kemampuan Akhir tiap Tahapan Belajar (Sub CPMK)	

	Sub-CPMK 2.21.1	Sub-CPMK 2.21.1: Mengidentifikasi (C4) kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada mata kuliah Prak. Perancangan Sistem Digital secara lengkap dan akurat berdasarkan data/kondisi nyata.
	Sub-CPMK 2.21.2	Sub-CPMK 2.21.2: Mengevaluasi (C5) kesesuaian kebutuhan dengan batasan realistis dalam konteks mata kuliah Prak. Perancangan Sistem Digital, serta menunjukkan kepedulian (A3) terhadap aspek keselamatan dan keberlanjutan lingkungan dalam setiap keputusan yang diambil.
	Sub-CPMK 2.22.1	Sub-CPMK 2.22.1: Menyusun (C5) alternatif rancangan komponen/sistem/proses terkait mata kuliah Prak. Perancangan Sistem Digital secara logis dan dapat dipertanggungjawabkan.
	Sub-CPMK 2.22.2	Sub-CPMK 2.22.2: Merancang (C6) dan menghasilkan (P4) gambar/prototipe komponen/sistem/proses mata kuliah Prak. Perancangan Sistem Digital secara terampil dan presisi sehingga memenuhi kebutuhan dalam batasan realistis yang ditetapkan.
	Sub-CPMK 4.33.1	Sub-CPMK 4.33.1: Mengidentifikasi (C2) permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital secara tepat berdasarkan data/gejala yang teramati.
	Sub-CPMK 4.33.2	Sub-CPMK 4.33.2: Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital secara sistematis dan logis dalam bentuk pernyataan masalah yang jelas.
	Sub-CPMK 4.34.1	Sub-CPMK 4.34.1: Menganalisis (C4) akar permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital secara mendalam dan berbasis data/fakta yang relevan.

	Sub-CPMK 4.34.2	Sub-CPMK 4.34.2: Menyelesaikan (C4) dan mendemonstrasikan (P3) penyelesaian permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital dengan pendekatan yang tepat, serta menunjukkan ketekunan (A3) dalam mencoba berbagai alternatif solusi.									
	Sub-CPMK 5.8.1	Sub-CPMK 5.8.1: Mengoperasikan (C3) dan mendemonstrasikan (P3) penggunaan piranti/metode teknik modern pada mata kuliah Prak. Perancangan Sistem Digital secara terampil dan sesuai prosedur keselamatan kerja.									
	Sub-CPMK 5.8.2	Sub-CPMK 5.8.2: Menerapkan (C3) metode dan piranti teknik modern dalam praktik mata kuliah Prak. Perancangan Sistem Digital secara tepat dan presisi (P4), serta bertanggung jawab (A3) terhadap perawatan dan keselamatan penggunaan alat.									
Korelasi CPL Terhadap CPMK	CPL	CPMK 2.21			CPMK 2.22		CPMK 4.33		CPMK 4.34		CPMK 5.8
	CPL-2	v			v						
	CPL-4						v		v		
	CPL-5										v
Korelasi CPMK Terhadap Sub-CPMK	CPMK	Sub-CPMK 2.21.1	Sub-CPMK 2.21.2	Sub-CPMK 2.22.1	Sub-CPMK 2.22.2	Sub-CPMK 4.33.1	Sub-CPMK 4.33.2	Sub-CPMK 4.34.1	Sub-CPMK 4.34.2	Sub-CPMK 5.8.1	Sub-CPMK 5.8.2
	CPMK 2.21	v	v								
	CPMK 2.22			v	v						
	CPMK 4.33					v	v				
	CPMK 4.34							v	v		

	9	Standar IEEE 1076-2019 (VHDL Language Reference Manual).
	10	Jurnal-jurnal penelitian nasional terkait perancangan sistem digital dan implementasi FPGA/CPLD.
Dosen Pengampu	Ir. Wahab Musa, MT.,Ph.D Iskandar Z. Nasibu, S.Pd, M.Eng.	
Mata Kuliah Syarat (Jika Ada)	Tidak ada	

Minggu Ke-	Kemampuan Akhir Yang Diharapkan (Sub CPMK)	Materi Pembelajaran	Bentuk Pembelajaran [Estimasi Waktu]		Indikator dan Kriteria	Penilaian			Referensi
			Luring	Daring		Kelompok & Jenis	Teknik, Instrumen & Bentuk	Bobot (%)	
1	Sub-CPMK 2.21.1 Mengidentifikasi (C4) kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada mata kuliah Prak. Perancangan Sistem Digital secara lengkap dan akurat berdasarkan data/kondisi nyata.	1. Kontrak praktikum; pengenalan komponen dan alat laboratorium sistem digital (papan pengembangan FPGA/CPLD, perangkat simulasi/sintesis HDL) serta keselamatan kerja laboratorium.	Bentuk : PjBL Metode : Project-Based Learning — pengarahannya proyek dan kerja kelompok di laboratorium Media Utama : Bahan ajar/modul praktikum Media Pendukung : Papan pengembangan FPGA/CPLD Perangkat lunak simulasi/sintesis HDL Waktu : Praktikum : 1 x 170”		1.1. Ketepatan mengidentifikasi kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada perancangan sistem digital	Kelompok : Kognitif Jenis : Tugas	Teknik : Penugasan Kelompok Instrumen Rubrik Penilaian Proyek Bentuk: Tugas	3	1,2,3,8

2	Sub-CPMK 2.21.1 Mengidentifikasi (C4) kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada mata kuliah Prak. Perancangan Sistem Digital secara lengkap dan akurat berdasarkan data/kondisi nyata.	Praktikum identifikasi kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada studi kasus rangkaian digital yang ditugaskan, di laboratorium.	Bentuk : PjBL Metode : Demonstrasi dan latihan terbimbing di laboratorium Media Utama : Bahan ajar/modul praktikum Media Pendukung : Papan pengembangan FPGA/CPLD Lembar kerja proyek Waktu : Praktikum : 1 x 170''		2.1. Ketepatan dan ketelitian mengidentifikasi kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada perancangan sistem digital secara langsung di laboratorium	Kelompok : Psikomotorik Jenis : Observasi	Teknik : Observasi Instrumen Lembar Observasi Kinerja Praktikum Bentuk: Tugas (Observasi Praktikum)	7	1,2,3,8
---	--	--	--	--	---	--	---	---	---------

3	Sub-CPMK 2.21.2 Mengevaluasi (C5) kesesuaian kebutuhan dengan batasan realistis dalam konteks mata kuliah Prak. Perancangan Sistem Digital, serta menunjukkan kepedulian (A3) terhadap aspek keselamatan dan keberlanjutan lingkungan dalam setiap keputusan yang diambil.	Evaluasi kesesuaian kebutuhan dengan batasan realistis (kapasitas gerbang FPGA/CPLD, konsumsi daya, keselamatan kerja) dalam perancangan rangkaian digital.	Bentuk : PjBL Metode : Project-Based Learning — kerja kelompok di laboratorium Media Utama : Bahan ajar/modul praktikum Media Pendukung : Datasheet FPGA/CPLD Lembar kerja proyek Waktu : Praktikum : 1 x 170”		3.1. Ketepatan mengevaluasi kesesuaian kebutuhan dengan batasan realistis serta kepedulian terhadap keselamatan dan lingkungan	Kelompok : Afektif Jenis : Tugas	Teknik : Penugasan Kelompok Instrumen Rubrik Penilaian Proyek Bentuk: Tugas	2	1,2,3,8
---	--	---	---	--	--	---	---	---	---------

4	Sub-CPMK 2.21.2 Mengevaluasi (C5) kesesuaian kebutuhan dengan batasan realistis dalam konteks mata kuliah Prak. Perancangan Sistem Digital, serta menunjukkan kepedulian (A3) terhadap aspek keselamatan dan keberlanjutan lingkungan dalam setiap keputusan yang diambil.	Praktikum evaluasi kesesuaian spesifikasi rancangan rangkaian digital (kapasitas gerbang, konsumsi daya) dengan batasan realistis dan keselamatan di laboratorium.	Bentuk : PjBL Metode : Demonstrasi dan latihan terbimbing di laboratorium Media Utama : Bahan ajar/modul praktikum Media Pendukung : Papan pengembangan FPGA/CPLD Lembar kerja proyek Waktu : Praktikum : 1 x 170''		4.1. Ketepatan mengevaluasi kesesuaian spesifikasi rancangan sistem digital dengan batasan realistis serta kepedulian terhadap keselamatan dan lingkungan secara langsung di laboratorium	Kelompok : Afektif Jenis : Observasi	Teknik : Observasi Instrumen Lembar Observasi Kinerja Praktikum Bentuk: Tugas (Observasi Praktikum)	5	1,2,3,8
---	--	--	--	--	---	---	---	---	---------

5	Sub-CPMK 2.22.1 Menyusun (C5) alternatif rancangan komponen/sistem/p roses terkait mata kuliah Prak. Perancangan Sistem Digital secara logis dan dapat dipertanggungjawabkan.	Proyek PjBL (Bag. 1): penyusunan alternatif rancangan rangkaian kombinasional/sekuensial sistem digital untuk studi kasus yang ditugaskan.	Bentuk : PjBL Metode : Project-Based Learning — kerja kelompok di laboratorium Media Utama : Bahan ajar/modul praktikum Media Pendukung : Lembar kerja proyek Perangkat lunak simulasi HDL Waktu : Praktikum : 1 x 170”		5.1. Ketepatan menyusun alternatif rancangan rangkaian sistem digital secara logis dan dapat dipertanggungjawabkan	Kelompok : Kognitif Jenis : Tugas	Teknik : Penugasan Kelompok Instrumen Rubrik Penilaian Proyek Bentuk: Tugas	3	1,2,3,4,5,8
---	---	--	--	--	--	--	---	---	-------------

6	Sub-CPMK 2.22.1 Menyusun (C5) alternatif rancangan komponen/sistem/p roses terkait mata kuliah Prak. Perancangan Sistem Digital secara logis dan dapat dipertanggungjawabkan.	Proyek PjBL (Bag. 2, lanjutan): simulasi dan verifikasi alternatif rancangan rangkaian sistem digital menggunakan perangkat simulasi HDL di laboratorium.	Bentuk : PjBL Metode : Project-Based Learning — kerja kelompok di laboratorium Media Utama : Bahan ajar/modul praktikum Media Pendukung : Perangkat lunak simulasi HDL Lembar kerja proyek Waktu : Praktikum : 1 x 170”		6.1. Ketelitian menguji dan memverifikasi alternatif rancangan rangkaian sistem digital secara logis dan dapat dipertanggungjawabkan	Kelompok : Psikomotorik Jenis : Observasi	Teknik : Observasi Instrumen Lembar Observasi Kinerja Proyek Bentuk: Tugas (Observasi Praktikum)	7	1,2,3,4,5,8
---	---	---	--	--	--	--	--	---	-------------

7	Sub-CPMK 2.22.2 Merancang (C6) dan menghasilkan (P4) gambar/prototipe komponen/sistem/p roses mata kuliah Prak. Perancangan Sistem Digital secara terampil dan presisi sehingga memenuhi kebutuhan dalam batasan realistis yang ditetapkan.	Proyek PjBL (Bag. 3): perancangan dan pembuatan gambar/prototipe rangkaian sistem digital berbasis FPGA/CPLD menggunakan HDL (VHDL/Verilog) sesuai kebutuhan dan batasan realistis.	Bentuk : PjBL Metode : Project-Based Learning — kerja kelompok di laboratorium Media Utama : Bahan ajar/modul praktikum Media Pendukung : Papan pengembangan FPGA/CPLD Perangkat lunak sintesis HDL Waktu : Praktikum : 1 x 170”		7.1. Ketepatan dan keterampilan merancang gambar/prototipe rangkaian sistem digital sesuai kebutuhan dan batasan realistis	Kelompok : Psiko motorik Jenis : Tugas	Teknik : Penugasan Kelompok Instrumen Rubrik Penilaian Proyek Bentuk: Tugas	2	1,2,3,4,5, 6,8
8	UTS Ujian Tengah Semester	Ujian Tengah Semester (UTS) — materi Sub-CPMK 2.21.1 s.d. Sub-CPMK 2.22.2 (kebutuhan dan batasan realistis, penyusunan dan perancangan gambar/prototipe rangkaian sistem digital).	Bentuk : Ujian di kelas/laboratorium Metode : Tes tertulis Media Utama : Naskah soal Media Pendukung : - Waktu : Praktikum : 1 x 170”		Ketepatan menjawab soal UTS sesuai capaian Sub-CPMK 2.21.1 s.d. Sub-CPMK 2.22.2	Kelompok : Kognitif Jenis : Ujian	Teknik : Tes Tertulis Instrumen Soal Esai/Uraian Bentuk: UTS	6	1,2,3,4,5, 6,7,8

9	Sub-CPMK 2.22.2 Merancang (C6) dan menghasilkan (P4) gambar/prototipe komponen/sistem/p roses mata kuliah Prak. Perancangan Sistem Digital secara terampil dan presisi sehingga memenuhi kebutuhan dalam batasan realistis yang ditetapkan.	Proyek PjBL (Bag. 4, lanjutan): implementasi dan pengujian (commissioning test) prototipe rangkaian sistem digital berbasis FPGA/CPLD hasil rancangan di laboratorium.	Bentuk : PjBL Metode : Project-Based Learning — kerja kelompok di laboratorium Media Utama : Bahan ajar/modul praktikum Media Pendukung : Papan pengembangan FPGA/CPLD Lembar kerja proyek Waktu : Praktikum : 1 x 170”		9.1 Ketepatan dan keterampilan mengimplemen tasikan dan menguji prototipe rangkaian sistem digital yang memenuhi kebutuhan dalam batasan realistis	Kelompok : Psikomot orik Jenis : Observasi	Teknik : Observasi Instrumen Lembar Observasi Kinerja Proyek Bentuk: Tugas (Observasi Praktikum)	5	1,2,3,4,5, 6,8
---	---	--	--	--	--	---	--	---	----------------

10	Sub-CPMK 4.33.1 Mengidentifikasi (C2) permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital secara tepat berdasarkan data/gejala yang teramati.	Praktikum identifikasi permasalahan teknik elektro pada implementasi rangkaian sistem digital (kesalahan sintesis, glitch, timing violation) berdasarkan data/gejala hasil pengujian di laboratorium.	Bentuk : PjBL Metode : Demonstrasi dan latihan terbimbing di laboratorium Media Utama : Bahan ajar/modul praktikum Media Pendukung : Papan pengembangan FPGA/CPLD Perangkat lunak simulasi HDL Waktu : Praktikum : 1 x 170”		10.1.Ketepatan mengidentifik asi permasalahan implementasi rangkaian sistem digital berdasarkan data/gejala yang teramati langsung di laboratorium	Kelompok : Kognitif Jenis : Observasi	Teknik : Observasi Instrumen Lembar Observasi Kinerja Praktikum Bentuk: Tugas (Observasi Praktikum)	11	1,2,3,5,8
----	--	---	--	--	---	--	---	----	-----------

11	Sub-CPMK 4.33.2 Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital secara sistematis dan logis dalam bentuk pernyataan masalah yang jelas.	Praktikum penyusunan rumusan masalah implementasi rangkaian sistem digital berdasarkan data hasil pengujian/simulasi di laboratorium.	Bentuk : PjBL Metode : Demonstrasi dan latihan terbimbing di laboratorium Media Utama : Bahan ajar/modul praktikum Media Pendukung : Papan pengembangan FPGA/CPLD Perangkat lunak simulasi HDL Waktu : Praktikum : 1 x 170''		11.1.Ketepatan merumuskan permasalahan implementasi rangkaian sistem digital secara sistematis dan logis berdasarkan data pengujian di laboratorium	Kelompok : Kognitif Jenis : Observasi	Teknik : Observasi Instrumen Lembar Observasi Kinerja Praktikum Bentuk: Tugas (Observasi Praktikum)	9	1,2,3,5,8
----	--	---	---	--	---	--	---	---	-----------

12	Sub-CPMK 4.34.1 Menganalisis (C4) akar permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital secara mendalam dan berbasis data/fakta yang relevan.	Praktikum analisis akar permasalahan implementasi rangkaian sistem digital (root cause analysis kesalahan sintesis/timing) berbasis data/fakta hasil pengujian di laboratorium.	Bentuk : PjBL Metode : Demonstrasi dan latihan terbimbing di laboratorium Media Utama : Bahan ajar/modul praktikum Media Pendukung : Papan pengembangan FPGA/CPLD Perangkat lunak simulasi HDL Waktu : Praktikum : 1 x 170''		12.1.Ketepatan menganalisis akar permasalahan implementasi rangkaian sistem digital secara mendalam dan berbasis data/fakta yang relevan	Kelompok : Kognitif Jenis : Observasi	Teknik : Observasi Instrumen Lembar Observasi Kinerja Praktikum Bentuk: Tugas (Observasi Praktikum)	11	1,2,3,4,5,8
----	---	---	---	--	--	--	---	----	-------------

13	Sub-CPMK 4.34.2 Menyelesaikan (C4) dan mendemonstrasikan (P3) penyelesaian permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital dengan pendekatan yang tepat, serta menunjukkan ketekunan (A3) dalam mencoba berbagai alternatif solusi.	Praktikum penyelesaian dan pendemonstrasian penyelesaian permasalahan implementasi rangkaian sistem digital (perbaikan kode HDL, re-sintesis, verifikasi ulang) di laboratorium.	Bentuk : PjBL Metode : Demonstrasi dan latihan terbimbing di laboratorium Media Utama : Bahan ajar/modul praktikum Media Pendukung : Papan pengembangan FPGA/CPLD Perangkat lunak simulasi/sintesis HDL Waktu : Praktikum : 1 x 170”	13.1. Ketepatan menyelesaikan dan mendemonstrasikan penyelesaian permasalahan rangkaian sistem digital, serta ketekunan mencoba berbagai alternatif solusi	Kelompok : Afektif Jenis : Observasi	Teknik : Observasi Instrumen Lembar Observasi Kinerja Praktikum Bentuk: Tugas (Observasi Praktikum)	9	1,2,3,4,5,8
----	--	--	---	--	---	---	---	-------------

14	Sub-CPMK 5.8.1 Mengoperasikan (C3) dan mendemonstrasikan (P3) penggunaan piranti/metode teknik modern pada mata kuliah Prak. Perancangan Sistem Digital secara terampil dan sesuai prosedur keselamatan kerja.	Praktikum pengoperasian dan pendemonstrasian penggunaan piranti/metode teknik modern (perangkat simulasi/sintesis HDL, papan pengembangan FPGA/CPLD) sesuai prosedur keselamatan kerja di laboratorium.	Bentuk : PjBL Metode : Demonstrasi dan latihan terbimbing di laboratorium Media Utama : Bahan ajar/modul praktikum Media Pendukung : Papan pengembangan FPGA/CPLD Perangkat lunak simulasi/sintesis HDL Waktu : Praktikum : 1 x 170''		14.1. Ketepatan mengoperasikan dan mendemonstrasikan penggunaan piranti/metode teknik modern secara terampil dan sesuai prosedur keselamatan kerja	Kelompok : Psikomotorik Jenis : Observasi	Teknik: Observasi Instrumen Lembar Observasi Kinerja Praktikum Bentuk: Tugas (Observasi Praktikum)	11	1,2,3,4,5,6,8
----	--	---	--	--	--	--	--	----	---------------

15	Sub-CPMK 5.8.2 Menerapkan (C3) metode dan piranti teknik modern dalam praktik mata kuliah Prak. Perancangan Sistem Digital secara tepat dan presisi (P4), serta bertanggung jawab (A3) terhadap perawatan dan keselamatan penggunaan alat.	Praktikum penerapan metode dan piranti teknik modern secara tepat dan presisi dalam finalisasi proyek rangkaian sistem digital, serta perawatan dan keselamatan penggunaan alat di laboratorium.	Bentuk : PjBL Metode : Demonstrasi dan latihan terbimbing di laboratorium Media Utama : Bahan ajar/modul praktikum Media Pendukung : Papan pengembangan FPGA/CPLD Perangkat lunak simulasi/sintesis HDL Waktu : Praktikum : 1 x 170”		15.1.Ketepatan menerapkan metode dan piranti teknik modern secara tepat dan presisi, serta tanggung jawab terhadap perawatan dan keselamatan penggunaan alat	Kelompok : Psikomot orik Jenis : Observasi	Teknik : Observasi Instrumen Lembar Observasi Kinerja Praktikum Bentuk: Tugas (Observasi Praktikum)	9	1,2,3,4,5, 6,8
----	--	--	---	--	--	---	---	---	----------------

16	UAS Evaluasi/Presentasi Akhir Proyek	Evaluasi/Presentasi Akhir Proyek (PjBL): presentasi dan demonstrasi akhir hasil identifikasi, perumusan, analisis, dan penyelesaian permasalahan teknik elektro terkait perancangan sistem digital (Tugas 5-10), termasuk verifikasi terhadap rancangan rangkaian sistem digital hasil Tugas 1-4 (tidak ada UAS tertulis).	Bentuk : PjBL - Evaluasi/Presentasi Proyek Akhir Metode : Presentasi dan demonstrasi kelompok Media Utama : Bahan presentasi (slide) Media Pendukung : - Waktu : Praktikum : 1 x 170”		Ketepatan mempresentasikan dan mempertanggungja wabkan hasil analisis dan penyelesaian masalah perancangan sistem digital	Kelompok : Psikomot orik Jenis : Presentasi	-	-	1,2,3,4,5, 6,7,8
----	--	---	--	--	--	--	---	---	---------------------

PORTOFOLIO PENILAIAN & EVALUASI KETERCAPAIAN CPL MAHASISWA

Mg	CPL	CPMK	Sub-CPMK	Indikator	Bentuk Penilaian	Bobot Nilai (%)	Bobot (%) Sub-CPMK	Nilai Mhs	Capaian CPL pada MK
1	CPL-2	CPMK 2.21	Sub-CPMK 2.21.1	2.21.1	Tugas 1 (PjBL): Proyek Identifikasi Kebutuhan Sistem Digital — Bag. 1 (Penyusunan)	3	3		
2	CPL-2	CPMK 2.21	Sub-CPMK 2.21.1	2.21.1	Tugas 1 (PjBL): Proyek Identifikasi Kebutuhan Sistem Digital — Bag. 2 (Observasi Praktikum)	7	7		
3	CPL-2	CPMK 2.21	Sub-CPMK 2.21.2	2.21.2	Tugas 2 (PjBL): Proyek Evaluasi Kesesuaian Kebutuhan — Bag. 1 (Evaluasi)	2	2		
4	CPL-2	CPMK 2.21	Sub-CPMK 2.21.2	2.21.2	Tugas 2 (PjBL): Proyek Evaluasi Kesesuaian Kebutuhan — Bag. 2 (Observasi Praktikum)	5	5		
5	CPL-2	CPMK 2.22	Sub-CPMK 2.22.1	2.22.1	Tugas 3 (PjBL): Proyek Perancangan Alternatif Rangkaian Sistem Digital — Bag. 1 (Penyusunan)	3	3		
6	CPL-2	CPMK 2.22	Sub-CPMK 2.22.1	2.22.1	Tugas 3 (PjBL): Proyek Perancangan Alternatif Rangkaian Sistem Digital — Bag. 2 (Observasi Praktikum)	7	7		

Mg	CPL	CPMK	Sub-CPMK	Indikator	Bentuk Penilaian	Bobot Nilai (%)	Bobot (%) Sub-CPMK	Nilai Mhs	Capaian CPL pada MK
7	CPL-2	CPMK 2.22	Sub-CPMK 2.22.2	2.22.2	Tugas 4 (PjBL): Proyek Perancangan Gambar/Prototipe FPGA/CPLD — Bag. 1 (Perancangan)	2	2		
8	CPL-2	CPMK 2.21, CPMK 2.22	UTS	2.21.1-2.22.2	Ujian Tengah Semester (UTS) — materi minggu 1 s.d. 7	6	6		
9	CPL-2	CPMK 2.22	Sub-CPMK 2.22.2	2.22.2	Tugas 4 (PjBL): Proyek Perancangan Gambar/Prototipe FPGA/CPLD — Bag. 2 (Observasi Praktikum)	5	5		
10	CPL-4	CPMK 4.33	Sub-CPMK 4.33.1	4.33.1	Tugas 5 (Observasi Praktikum): Identifikasi Permasalahan Teknik Elektro Terkait Perancangan Sistem Digital	11	11		
11	CPL-4	CPMK 4.33	Sub-CPMK 4.33.2	4.33.2	Tugas 6 (Observasi Praktikum): Perumusan Masalah Teknik Elektro Terkait Perancangan Sistem Digital	9	9		

Mg	CPL	CPMK	Sub-CPMK	Indikator	Bentuk Penilaian	Bobot Nilai (%)	Bobot (%) Sub-CPMK	Nilai Mhs	Capaian CPL pada MK
12	CPL-4	CPMK 4.34	Sub-CPMK 4.34.1	4.34.1	Tugas 7 (Observasi Praktikum): Analisis Akar Permasalahan Teknik Elektro Terkait Perancangan Sistem Digital	11	11		
13	CPL-4	CPMK 4.34	Sub-CPMK 4.34.2	4.34.2	Tugas 8 (Observasi Praktikum): Penyelesaian Permasalahan Teknik Elektro Terkait Perancangan Sistem Digital	9	9		
14	CPL-5	CPMK 5.8	Sub-CPMK 5.8.1	5.8.1	Tugas 9 (Observasi Praktikum): Pengoperasian Piranti/Metode Teknik Modern Perancangan Sistem Digital	11	11		
15	CPL-5	CPMK 5.8	Sub-CPMK 5.8.2	5.8.2	Tugas 10 (Observasi Praktikum): Penerapan Metode dan Piranti Teknik Modern Perancangan Sistem Digital	9	9		
16	CPL-4, CPL-5	CPMK 4.33, CPMK 4.34, CPMK 5.8	UAS	4.33.1-5.8.2	Evaluasi/Presentasi Akhir Proyek — materi minggu 9 s.d. 15 (PjBL: tidak ada UAS tertulis)	0	0		
TOTAL BOBOT						100	100		

Nilai akhir mahasiswa = Σ (Nilai mahasiswa x Bobot%). Ketercapaian CPL mata kuliah dihitung dari agregasi penilaian yang memetakan CPMK/Sub-CPMK terhadap CPL-2, CPL-4, dan CPL-5.



RENCANA TUGAS MAHASISWA

	Nama MK	Kode MK
	Prak. Perancangan Sistem Digital	EAD606261
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Tugas Proyek (PjBL & Observasi Praktikum)	Tugas 1 (PjBL): Proyek Identifikasi Kebutuhan Sistem Digital — Bag. 1 (Penyusunan) & Bag. 2 (Observasi Praktikum)	Bag. 1 — Minggu ke-1; Bag. 2 — Minggu ke-2
CPL	CPMK	SUB CPMK
CPL-2: Kemampuan mendesain komponen, sistem dan/atau proses teknik elektro untuk memenuhi kebutuhan yang diharapkan di dalam batasan-batasan realistis, misalnya hukum, ekonomi, lingkungan, sosial, politik, kesehatan dan keselamatan, keberlanjutan serta untuk mengenali dan/atau memanfaatkan potensi sumber daya lokal dan nasional dengan wawasan global.	CPMK 2.21: Mengevaluasi (C5) kebutuhan dan batasan realistis (teknis, ekonomi, keselamatan, lingkungan) dalam konteks mata kuliah Prak. Perancangan Sistem Digital.	Sub-CPMK 2.21.1: Mengidentifikasi (C4) kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada mata kuliah Prak. Perancangan Sistem Digital secara lengkap dan akurat berdasarkan data/kondisi nyata.
DISKRIPSI TUGAS		
Tugas 1 merupakan proyek PjBL (Project-Based Learning) berkelompok yang dikerjakan dalam 2 bagian di laboratorium dengan total bobot: (1) Bag. 1 — Minggu ke-1 (bobot 3%, dinilai sebagai Tugas): identifikasi kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada studi kasus rangkaian digital yang ditugaskan; (2) Bag. 2 — Minggu ke-2 (bobot 7%, dinilai sebagai Observasi Praktikum): praktik identifikasi kebutuhan secara langsung di laboratorium, dinilai berdasarkan lembar observasi kinerja. Total bobot Tugas 1 adalah 10% (3% + 7%), mencakup seluruh proses identifikasi kebutuhan.		

BENTUK DAN FORMAT LUARAN									
Bag. 1: dokumen identifikasi kebutuhan tertulis. Bag. 2: lembar observasi kinerja praktikum dan catatan hasil kerja laboratorium, dinilai berdasarkan rubrik penilaian tugas dan observasi.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan mengidentifikasi kebutuhan teknis, ekonomi, keselamatan, dan lingkungan secara lengkap dan akurat berdasarkan data/kondisi nyata di laboratorium	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Prak. Perancangan Sistem Digital	EAD606261
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Tugas Proyek (PjBL & Observasi Praktikum)	Tugas 2 (PjBL): Proyek Evaluasi Kesesuaian Kebutuhan dengan Batasan Realistik — Bag. 1 (Evaluasi) & Bag. 2 (Observasi Praktikum)	Bag. 1 — Minggu ke-3; Bag. 2 — Minggu ke-4
CPL	CPMK	SUB CPMK
CPL-2: Kemampuan mendesain komponen, sistem dan/atau proses teknik elektro untuk memenuhi kebutuhan yang diharapkan di dalam batasan-batasan realistik, misalnya hukum, ekonomi, lingkungan, sosial, politik, kesehatan dan keselamatan, keberlanjutan serta untuk mengenali dan/atau memanfaatkan potensi sumber daya lokal dan nasional dengan wawasan global.	CPMK 2.21: Mengevaluasi (C5) kebutuhan dan batasan realistik (teknis, ekonomi, keselamatan, lingkungan) dalam konteks mata kuliah Prak. Perancangan Sistem Digital.	Sub-CPMK 2.21.2: Mengevaluasi (C5) kesesuaian kebutuhan dengan batasan realistik dalam konteks mata kuliah Prak. Perancangan Sistem Digital, serta menunjukkan kepedulian (A3) terhadap aspek keselamatan dan keberlanjutan lingkungan dalam setiap keputusan yang diambil.
DISKRIPSI TUGAS		
Tugas 2 merupakan proyek PjBL (Project-Based Learning) berkelompok yang dikerjakan dalam 2 bagian di laboratorium dengan total bobot: (1) Bag. 1 — Minggu ke-3 (bobot 2%, dinilai sebagai Tugas): evaluasi kesesuaian kebutuhan dengan batasan realistik (kapasitas gerbang FPGA/CPLD, konsumsi daya, keselamatan kerja); (2) Bag. 2 — Minggu ke-4 (bobot 5%, dinilai sebagai Observasi Praktikum): praktik evaluasi kesesuaian spesifikasi rancangan secara langsung di laboratorium. Total bobot Tugas 2 adalah 7% (2% + 5%), mencakup seluruh proses evaluasi kesesuaian kebutuhan.		

BENTUK DAN FORMAT LUARAN

Bag. 1: dokumen evaluasi kesesuaian kebutuhan tertulis. Bag. 2: lembar observasi kinerja praktikum, dinilai berdasarkan rubrik penilaian tugas dan observasi.

RUBRIKASI PENILAIAN

Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan mengevaluasi kesesuaian kebutuhan dengan batasan realistis, serta menunjukkan kepedulian terhadap aspek keselamatan dan keberlanjutan lingkungan di laboratorium	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Prak. Perancangan Sistem Digital	EAD606261
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Tugas Proyek (PjBL & Observasi Praktikum)	Tugas 3 (PjBL): Proyek Perancangan Alternatif Rangkaian Sistem Digital — Bag. 1 (Penyusunan) & Bag. 2 (Observasi Praktikum)	Bag. 1 — Minggu ke-5; Bag. 2 — Minggu ke-6
CPL	CPMK	SUB CPMK
CPL-2: Kemampuan mendesain komponen, sistem dan/atau proses teknik elektro untuk memenuhi kebutuhan yang diharapkan di dalam batasan-batasan realistis, misalnya hukum, ekonomi, lingkungan, sosial, politik, kesehatan dan keselamatan, keberlanjutan serta untuk mengenali dan/atau memanfaatkan potensi sumber daya lokal dan nasional dengan wawasan global.	CPMK 2.22: Merancang (C6) komponen/sistem/proses terkait mata kuliah Prak. Perancangan Sistem Digital yang memenuhi kebutuhan dalam batasan realistis.	Sub-CPMK 2.22.1: Menyusun (C5) alternatif rancangan komponen/sistem/proses terkait mata kuliah Prak. Perancangan Sistem Digital secara logis dan dapat dipertanggungjawabkan.
DISKRIPSI TUGAS		
Tugas 3 merupakan proyek PjBL (Project-Based Learning) berkelompok yang dikerjakan dalam 2 bagian di laboratorium dengan total bobot: (1) Bag. 1 — Minggu ke-5 (bobot 3%, dinilai sebagai Tugas): penyusunan alternatif rancangan rangkaian kombinasional/sekuensial sistem digital secara logis dan dapat dipertanggungjawabkan; (2) Bag. 2 — Minggu ke-6 (bobot 7%, dinilai sebagai Observasi Praktikum): simulasi dan verifikasi alternatif rancangan menggunakan perangkat simulasi HDL di laboratorium. Total bobot Tugas 3 adalah 10% (3% + 7%), mencakup seluruh proses penyusunan hingga verifikasi rancangan.		

BENTUK DAN FORMAT LUARAN

Bag. 1: dokumen alternatif rancangan rangkaian sistem digital tertulis. Bag. 2: lembar observasi kinerja praktikum dan hasil simulasi HDL, dinilai berdasarkan rubrik penilaian tugas dan observasi.

RUBRIKASI PENILAIAN

Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan menyusun alternatif rancangan komponen/sistem secara logis dan dapat dipertanggungjawabkan di laboratorium	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Prak. Perancangan Sistem Digital	EAD606261
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Tugas Proyek (PjBL & Observasi Praktikum)	Tugas 4 (PjBL): Proyek Perancangan Gambar/Prototipe Sistem Digital Berbasis FPGA/CPLD — Bag. 1 (Perancangan) & Bag. 2 (Observasi Praktikum)	Bag. 1 — Minggu ke-7; Bag. 2 — Minggu ke-9 (setelah UTS)
CPL	CPMK	SUB CPMK
CPL-2: Kemampuan mendesain komponen, sistem dan/atau proses teknik elektro untuk memenuhi kebutuhan yang diharapkan di dalam batasan-batasan realistis, misalnya hukum, ekonomi, lingkungan, sosial, politik, kesehatan dan keselamatan, keberlanjutan serta untuk mengenali dan/atau memanfaatkan potensi sumber daya lokal dan nasional dengan wawasan global.	CPMK 2.22: Merancang (C6) komponen/sistem/proses terkait mata kuliah Prak. Perancangan Sistem Digital yang memenuhi kebutuhan dalam batasan realistis.	Sub-CPMK 2.22.2: Merancang (C6) dan menghasilkan (P4) gambar/prototipe komponen/sistem/proses mata kuliah Prak. Perancangan Sistem Digital secara terampil dan presisi sehingga memenuhi kebutuhan dalam batasan realistis yang ditetapkan.
DISKRIPSI TUGAS		
Tugas 4 merupakan proyek PjBL (Project-Based Learning) lanjutan yang dikerjakan dalam 2 bagian di laboratorium dengan total bobot: (1) Bag. 1 — Minggu ke-7 (bobot 2%, dinilai sebagai Tugas): perancangan dan pembuatan gambar/prototipe rangkaian sistem digital berbasis FPGA/CPLD menggunakan HDL (VHDL/Verilog); (2) Bag. 2 — Minggu ke-9, setelah UTS (bobot 5%, dinilai sebagai Observasi Praktikum): implementasi dan pengujian (commissioning test) prototipe di laboratorium. Total bobot Tugas 4 adalah 7% (2% + 5%), mencakup seluruh proses perancangan hingga pengujian prototipe.		

BENTUK DAN FORMAT LUARAN									
Bag. 1: gambar/prototipe rangkaian sistem digital (skematik/kode HDL) beserta dokumentasi teknis. Bag. 2: lembar observasi kinerja praktikum dan hasil pengujian prototipe, dinilai berdasarkan rubrik penilaian tugas dan observasi.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan merancang dan menghasilkan gambar/prototipe komponen/sistem secara terampil dan presisi sehingga memenuhi kebutuhan dalam batasan realistis yang ditetapkan di laboratorium	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Prak. Perancangan Sistem Digital	EAD606261
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Observasi Praktikum	Tugas 5 (Observasi Praktikum): Identifikasi Permasalahan Teknik Elektro Terkait Perancangan Sistem Digital	Minggu ke-9 (di laboratorium)
CPL	CPMK	SUB CPMK
CPL-4: Mengidentifikasi, merumuskan, menganalisis dan menyelesaikan permasalahan teknik elektro.	CPMK 4.33: Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital.	Sub-CPMK 4.33.1: Mengidentifikasi (C2) permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital secara tepat berdasarkan data/gejala yang teramati.
DISKRIPSI TUGAS		
Tugas 5 berupa praktik laboratorium hasil identifikasi permasalahan teknik elektro terkait implementasi rangkaian sistem digital secara tepat berdasarkan data/gejala yang teramati (proyek PjBL lanjutan dari Tugas 1-4), dinilai melalui observasi kinerja praktikum.		

BENTUK DAN FORMAT LUARAN									
Lembar observasi kinerja praktikum dan laporan tertulis hasil identifikasi permasalahan, dinilai berdasarkan rubrik penilaian observasi.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan mengidentifikasi permasalahan teknik elektro secara tepat berdasarkan data/gejala yang teramati di laboratorium	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Prak. Perancangan Sistem Digital	EAD606261
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Observasi Praktikum	Tugas 6 (Observasi Praktikum): Perumusan Masalah Teknik Elektro Terkait Perancangan Sistem Digital	Minggu ke-10 (di laboratorium)
CPL	CPMK	SUB CPMK
CPL-4: Mengidentifikasi, merumuskan, menganalisis dan menyelesaikan permasalahan teknik elektro.	CPMK 4.33: Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital.	Sub-CPMK 4.33.2: Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital secara sistematis dan logis dalam bentuk pernyataan masalah yang jelas.
DISKRIPSI TUGAS		
Tugas 6 berupa praktik laboratorium hasil perumusan permasalahan teknik elektro terkait implementasi rangkaian sistem digital secara sistematis dan logis dalam bentuk pernyataan masalah yang jelas, dinilai melalui observasi kinerja praktikum.		

BENTUK DAN FORMAT LUARAN									
Lembar observasi kinerja praktikum dan laporan tertulis rumusan masalah, dinilai berdasarkan rubrik penilaian observasi.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan merumuskan permasalahan teknik elektro secara sistematis dan logis dalam bentuk pernyataan masalah yang jelas di laboratorium	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Prak. Perancangan Sistem Digital	EAD606261
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Observasi Praktikum	Tugas 7 (Observasi Praktikum): Analisis Akar Permasalahan Teknik Elektro Terkait Perancangan Sistem Digital	Minggu ke-11 (di laboratorium)
CPL	CPMK	SUB CPMK
CPL-4: Mengidentifikasi, merumuskan, menganalisis dan menyelesaikan permasalahan teknik elektro.	CPMK 4.34: Menganalisis (C4) dan menyelesaikan permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital.	Sub-CPMK 4.34.1: Menganalisis (C4) akar permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital secara mendalam dan berbasis data/fakta yang relevan.
DISKRIPSI TUGAS		
Tugas 7 berupa praktik laboratorium hasil analisis akar permasalahan teknik elektro terkait implementasi rangkaian sistem digital secara mendalam dan berbasis data/fakta yang relevan, dinilai melalui observasi kinerja praktikum.		

BENTUK DAN FORMAT LUARAN									
Lembar observasi kinerja praktikum dan laporan tertulis hasil analisis akar permasalahan, dinilai berdasarkan rubrik penilaian observasi.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan menganalisis akar permasalahan teknik elektro secara mendalam dan berbasis data/fakta yang relevan di laboratorium	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Prak. Perancangan Sistem Digital	EAD606261
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Observasi Praktikum	Tugas 8 (Observasi Praktikum): Penyelesaian Permasalahan Teknik Elektro Terkait Perancangan Sistem Digital	Minggu ke-12 (di laboratorium)
CPL	CPMK	SUB CPMK
CPL-4: Mengidentifikasi, merumuskan, menganalisis dan menyelesaikan permasalahan teknik elektro.	CPMK 4.34: Menganalisis (C4) dan menyelesaikan permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital.	Sub-CPMK 4.34.2: Menyelesaikan (C4) dan mendemonstrasikan (P3) penyelesaian permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital dengan pendekatan yang tepat, serta menunjukkan ketekunan (A3) dalam mencoba berbagai alternatif solusi.
DISKRIPSI TUGAS		
Tugas 8 berupa praktik laboratorium hasil penyelesaian dan demonstrasi penyelesaian permasalahan teknik elektro terkait implementasi rangkaian sistem digital dengan pendekatan yang tepat, mencoba berbagai alternatif solusi, dinilai melalui observasi kinerja praktikum.		

BENTUK DAN FORMAT LUARAN									
Lembar observasi kinerja praktikum dan laporan tertulis penyelesaian masalah, dinilai berdasarkan rubrik penilaian observasi.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan menyelesaikan dan mendemonstrasikan penyelesaian permasalahan teknik elektro dengan pendekatan yang tepat, serta menunjukkan ketekunan dalam mencoba berbagai alternatif solusi di laboratorium	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Prak. Perancangan Sistem Digital	EAD606261
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Observasi Praktikum	Tugas 9 (Observasi Praktikum): Pengoperasian Piranti/Metode Teknik Modern Perancangan Sistem Digital	Minggu ke-13 (di laboratorium)
CPL	CPMK	SUB CPMK
CPL-5: Kemampuan menerapkan metode, keterampilan dan piranti teknik yang modern yang diperlukan untuk praktik teknik elektro.	CPMK 5.8: Menerapkan (C3) metode dan piranti teknik modern dalam praktik mata kuliah Prak. Perancangan Sistem Digital.	Sub-CPMK 5.8.1: Mengoperasikan (C3) dan mendemonstrasikan (P3) penggunaan piranti/metode teknik modern pada mata kuliah Prak. Perancangan Sistem Digital secara terampil dan sesuai prosedur keselamatan kerja.
DISKRIPSI TUGAS		
Tugas 9 berupa praktik laboratorium pengoperasian dan pendemonstrasian penggunaan piranti/metode teknik modern (perangkat simulasi/sintesis HDL, papan pengembangan FPGA/CPLD) secara terampil dan sesuai prosedur keselamatan kerja, dinilai melalui observasi kinerja praktikum.		

BENTUK DAN FORMAT LUARAN									
Lembar observasi kinerja praktikum, demonstrasi langsung penggunaan piranti, dan laporan tertulis, dinilai berdasarkan rubrik penilaian observasi.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan mengoperasikan dan mendemonstrasikan penggunaan piranti/metode teknik modern secara terampil dan sesuai prosedur keselamatan kerja di laboratorium	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Prak. Perancangan Sistem Digital	EAD606261
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Observasi Praktikum	Tugas 10 (Observasi Praktikum): Penerapan Metode dan Piranti Teknik Modern Perancangan Sistem Digital	Minggu ke-14 (di laboratorium)
CPL	CPMK	SUB CPMK
CPL-5: Kemampuan menerapkan metode, keterampilan dan piranti teknik yang modern yang diperlukan untuk praktik teknik elektro.	CPMK 5.8: Menerapkan (C3) metode dan piranti teknik modern dalam praktik mata kuliah Prak. Perancangan Sistem Digital.	Sub-CPMK 5.8.2: Menerapkan (C3) metode dan piranti teknik modern dalam praktik mata kuliah Prak. Perancangan Sistem Digital secara tepat dan presisi (P4), serta bertanggung jawab (A3) terhadap perawatan dan keselamatan penggunaan alat.
DISKRIPSI TUGAS		
Tugas 10 berupa praktik laboratorium penerapan metode dan piranti teknik modern secara tepat dan presisi dalam finalisasi proyek rangkaian sistem digital, serta tanggung jawab terhadap perawatan dan keselamatan penggunaan alat, dinilai melalui observasi kinerja praktikum.		

BENTUK DAN FORMAT LUARAN									
Lembar observasi kinerja praktikum, demonstrasi langsung penerapan metode/piranti, dan laporan tertulis, dinilai berdasarkan rubrik penilaian observasi.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan menerapkan metode dan piranti teknik modern secara tepat dan presisi, serta bertanggung jawab terhadap perawatan dan keselamatan penggunaan alat di laboratorium	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA UJIAN TENGAH SEMESTER MAHASISWA

	Nama MK	Kode MK
	Prak. Perancangan Sistem Digital	EAD606261
TEKNIK EVALUASI	Ujian Tengah Semester	WAKTU Pengerjaan Tugas
Ujian	Materi pertemuan ke-1 s.d. ke-7: kebutuhan teknis, ekonomi, keselamatan, dan lingkungan, evaluasi kesesuaian kebutuhan dengan batasan realistis, serta penyusunan dan perancangan alternatif rangkaian/gambar prototipe sistem digital	100 menit, dilaksanakan pada minggu ke-8
CPL	CPMK	SUB CPMK
CPL-2: Kemampuan mendesain komponen, sistem dan/atau proses teknik elektro untuk memenuhi kebutuhan yang diharapkan di dalam batasan-batasan realistis, misalnya hukum, ekonomi, lingkungan, sosial, politik, kesehatan dan keselamatan, keberlanjutan serta untuk mengenali dan/atau memanfaatkan potensi sumber daya lokal dan nasional dengan wawasan global.	CPMK 2.21: Mengevaluasi (C5) kebutuhan dan batasan realistis (teknis, ekonomi, keselamatan, lingkungan) dalam konteks mata kuliah Prak. Perancangan Sistem Digital. / CPMK 2.22: Merancang (C6) komponen/sistem/proses terkait mata kuliah Prak. Perancangan Sistem Digital yang memenuhi kebutuhan dalam batasan realistis.	Sub-CPMK 2.21.1 s.d. Sub-CPMK 2.22.2
DISKRIPSI TUGAS		
Ujian Tengah Semester (UTS) berupa ujian tertulis individu yang mencakup materi pertemuan ke-1 s.d. ke-7, meliputi identifikasi kebutuhan teknis, ekonomi, keselamatan, dan lingkungan, evaluasi kesesuaian kebutuhan dengan batasan realistis, serta penyusunan dan perancangan alternatif rangkaian/gambar prototipe sistem digital. Soal berbentuk esai/uraian yang menguji pemahaman konsep dan penerapannya.		

BENTUK DAN FORMAT LUARAN									
Lembar jawaban ujian tertulis, dikerjakan secara individu dalam waktu 100 menit.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B ⁺	B ⁺	A ⁻	A
Ketepatan menjawab soal UTS materi pertemuan 1 s.d. 7 tentang perancangan sistem digital	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA UJIAN AKHIR SEMESTER MAHASISWA

	Nama MK	Kode MK
	Prak. Perancangan Sistem Digital	EAD606261
TEKNIK EVALUASI	Evaluasi/Presentasi Akhir Proyek	WAKTU Pengerjaan Tugas
Ujian	Presentasi dan demonstrasi akhir hasil identifikasi, perumusan, analisis, dan penyelesaian permasalahan teknik elektro terkait perancangan sistem digital (Tugas 5-10), termasuk verifikasi terhadap rancangan rangkaian sistem digital hasil Tugas 1-4, di depan dosen dan mahasiswa lain (PjBL: tidak ada UAS tertulis, diganti evaluasi/presentasi proyek akhir).	170 menit (Praktikum 1 x 170”), dilaksanakan pada minggu ke-16
CPL	CPMK	SUB CPMK
CPL-4: Mengidentifikasi, merumuskan, menganalisis dan menyelesaikan permasalahan teknik elektro. CPL-5: Kemampuan menerapkan metode, keterampilan dan piranti teknik yang modern yang diperlukan untuk praktik teknik elektro.	CPMK 4.33: Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital. / CPMK 4.34: Menganalisis (C4) dan menyelesaikan permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital. / CPMK 5.8: Menerapkan (C3) metode dan piranti teknik modern dalam praktik mata kuliah Prak. Perancangan Sistem Digital.	Sub-CPMK 4.33.1 s.d. Sub-CPMK 5.8.2 (materi pertemuan ke-9 s.d. ke-15)
DISKRIPSI TUGAS		
Evaluasi/Presentasi Akhir Proyek berupa presentasi dan demonstrasi akhir atas identifikasi, perumusan, analisis, dan penyelesaian permasalahan teknik elektro terkait perancangan sistem digital yang telah dikerjakan pada Tugas 5-10, termasuk verifikasi keterkaitannya dengan rancangan rangkaian sistem digital hasil Tugas 1-4. Karena mata kuliah ini berjenis PjBL, tidak terdapat ujian tertulis UAS; nilai proyek telah diperhitungkan sepenuhnya pada Tugas 1-10, sehingga bobot evaluasi akhir ini pada tabel Portofolio Penilaian adalah 0%.		

BENTUK DAN FORMAT LUARAN									
Presentasi dan demonstrasi hasil analisis dan penyelesaian masalah perancangan sistem digital di laboratorium, disertai tanya jawab dan umpan balik dari dosen.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B ⁺	B ⁺	A ⁻	A
Ketepatan mempresentasikan dan mempertanggungjawabkan hasil analisis dan penyelesaian masalah perancangan sistem digital	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RUBRIK PENILAIAN

SUBCPMK	Kategorisasi Tingkatan Kinerja									Pengampu Penilai
	E	D	C	C ⁺	B ⁻	B ⁺	B ⁺	A ⁻	A	
Sub-CPMK 2.21.1: Mengidentifikasi (C4) kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada mata kuliah Prak. Perancangan Sistem Digital secara lengkap dan akurat berdasarkan data/kondisi nyata.	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.
Sub-CPMK 2.21.2: Mengevaluasi (C5) kesesuaian kebutuhan dengan batasan realistik dalam konteks mata kuliah Prak. Perancangan Sistem Digital,	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.

serta menunjukkan kepedulian (A3) terhadap aspek keselamatan dan keberlanjutan lingkungan dalam setiap keputusan yang diambil.										
Sub-CPMK 2.22.1: Menyusun (C5) alternatif rancangan komponen/sistem/proses terkait mata kuliah Prak. Perancangan Sistem Digital secara logis dan dapat dipertanggungjawabkan.	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.
Sub-CPMK 2.22.2: Merancang (C6) dan menghasilkan (P4) gambar/prototipe komponen/sistem/proses mata	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.

kuliah Prak. Perancangan Sistem Digital secara terampil dan presisi sehingga memenuhi kebutuhan dalam batasan realistis yang ditetapkan.										
Sub-CPMK 4.33.1: Mengidentifikasi (C2) permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital secara tepat berdasarkan data/gejala yang teramati.	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.
Sub-CPMK 4.33.2: Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.

secara sistematis dan logis dalam bentuk pernyataan masalah yang jelas.										
Sub-CPMK 4.34.1: Menganalisis (C4) akar permasalahan teknik elektro terkait mata kuliah Prak. Perancangan Sistem Digital secara mendalam dan berbasis data/fakta yang relevan.	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.
Sub-CPMK 4.34.2: Menyelesaikan (C4) dan mendemonstrasikan (P3) penyelesaian permasalahan teknik elektro terkait mata kuliah Prak. Perancangan	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.

Sistem Digital dengan pendekatan yang tepat, serta menunjukkan ketekunan (A3) dalam mencoba berbagai alternatif solusi.										
Sub-CPMK 5.8.1: Mengoperasikan (C3) dan mendemonstrasikan (P3) penggunaan piranti/metode teknik modern pada mata kuliah Prak. Perancangan Sistem Digital secara terampil dan sesuai prosedur keselamatan kerja.	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.
Sub-CPMK 5.8.2: Menerapkan (C3) metode dan piranti teknik modern dalam praktik mata kuliah Prak.	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.

[illegible]

REFERENSI.

DAFTAR PUSTAKA	
No	Referensi
Pustaka Utama:	
1	Mano, M.M., & Ciletti, M.D. (2018). Digital Design: With an Introduction to the Verilog HDL, VHDL, and SystemVerilog, 6th Edition. Pearson.
2	Wakerly, J.F. (2018). Digital Design: Principles and Practices, 5th Edition. Pearson.
3	Brown, S., & Vranesic, Z. (2014). Fundamentals of Digital Logic with Verilog Design, 3rd Edition. McGraw-Hill.
4	Pedroni, V.A. (2010). Circuit Design and Simulation with VHDL, 2nd Edition. MIT Press.
5	Roth, C.H., & John, L.K. (2016). Digital Systems Design Using VHDL, 3rd Edition. Cengage Learning.
6	Harris, D.M., & Harris, S.L. (2021). Digital Design and Computer Architecture, 3rd Edition. Morgan Kaufmann.
7	IEEE Std 1364-2005. IEEE Standard for Verilog Hardware Description Language.
8	Modul Ajar Prak. Perancangan Sistem Digital, Jurusan Teknik Elektro, Universitas Negeri Gorontalo.
Pustaka Pendukung:	
9	Standar IEEE 1076-2019 (VHDL Language Reference Manual).
10	Jurnal-jurnal penelitian nasional terkait perancangan sistem digital dan implementasi FPGA/CPLD.