

RENCANA PEMBELAJARAN SEMESTER (R P S)



MATAKULIAH : PERANCANGAN SISTEM DIGITAL
KODE MK : EAD606162
SEMESTER : VI (Enam)

Penyusun:

Ir. Wahab Musa, MT.,Ph.D
NIP. (Belum Ada NIP)

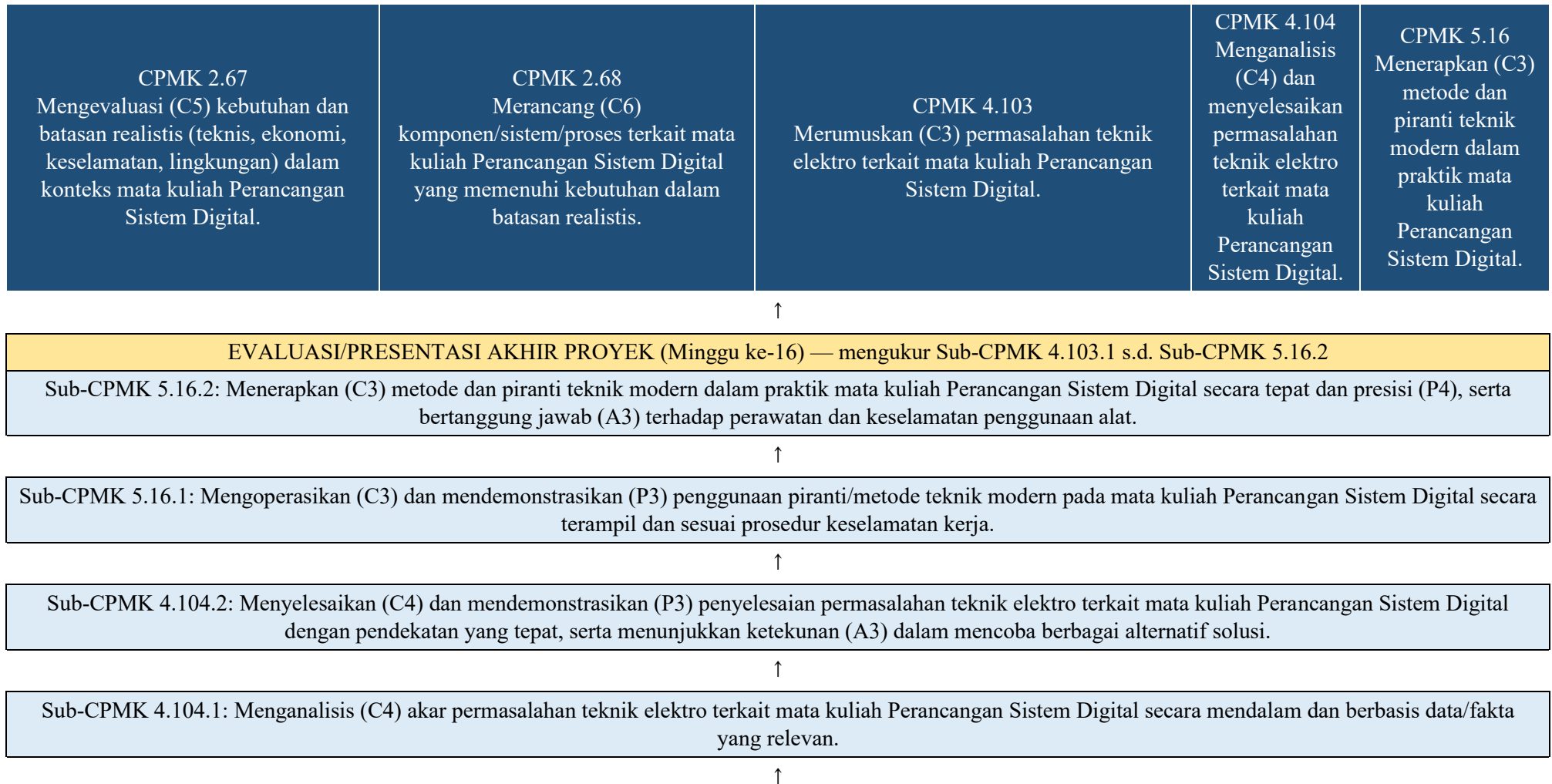
PROGRAM STUDI S1 TEKNIK ELEKTRO
JURUSAN TEKNIK ELEKTRO
FAKULTAS TEKNIK
UNIVERSITAS NEGERI GORONTALO
2026

LEMBAR PENGESAHAN

Mata Kuliah	Kode	Bobot (SKS)		Semester	Revisi
		Teori	Praktikum		
Perancangan Sistem Digital	EAD606162	3	0	VI	OBE
Mata Kuliah Syarat	Tidak ada				
Kelompok Mata Kuliah	Rumpun Keahlian Sistem Digital				
Tim Pengajar	1. Ir. Wahab Musa, MT.,Ph.D Iskandar Z. Nasibu, S.Pd, M.Eng.				
Otorisasi	Validator Wakil Dekan 1  Dr. Arip Mulyanto, S.Kom., M.kom		Ketua Program Studi  Ifan Wiranto, ST.,MT		

ANALISIS INSTRUKSIONAL PEMBELAJARAN

(Peta Hubungan antar Sub-CPMK)



Sub-CPMK 4.103.2: Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital secara sistematis dan logis dalam bentuk pernyataan masalah yang jelas.



Sub-CPMK 4.103.1: Mengidentifikasi (C2) permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital secara tepat berdasarkan data/gejala yang teramati.



UJIAN TENGAH SEMESTER (Minggu ke-8) — mengukur Sub-CPMK 2.67.1 s.d. Sub-CPMK 2.68.2

Sub-CPMK 2.68.2: Merancang (C6) dan menghasilkan (P4) gambar/prototipe komponen/sistem/proses mata kuliah Perancangan Sistem Digital secara terampil dan presisi sehingga memenuhi kebutuhan dalam batasan realistis yang ditetapkan.



Sub-CPMK 2.68.1: Menyusun (C5) alternatif rancangan komponen/sistem/proses terkait mata kuliah Perancangan Sistem Digital secara logis dan dapat dipertanggungjawabkan.



Sub-CPMK 2.67.2: Mengevaluasi (C5) kesesuaian kebutuhan dengan batasan realistis dalam konteks mata kuliah Perancangan Sistem Digital, serta menunjukkan kepedulian (A3) terhadap aspek keselamatan dan keberlanjutan lingkungan dalam setiap keputusan yang diambil.



Sub-CPMK 2.67.1: Mengidentifikasi (C4) kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada mata kuliah Perancangan Sistem Digital secara lengkap dan akurat berdasarkan data/kondisi nyata.



UNIVERSITAS NEGERI GORONTALO
FAKULTAS TEKNIK
PROGRAM STUDI S1 TEKNIK ELEKTRO

**KODE
DOKUMEN**

RENCANA PEMBELAJARAN SEMESTER (RPS)

Visi Keilmuan Prodi : Mengembangkan Teknologi Bidang Elektro yang berorientasi pada Energi Baru Terbarukan Berbasis Potensi Kawasan.

MATA KULIAH	KODE	RUMPUN MATA KULIAH (RMK)	BOBOT SKS	SEMESTER	TANGGAL PENYUSUNAN
Perancangan Sistem Digital	EAD606162	Rumpun Keahlian Sistem Digital	T= 3 P= 0	VI	4 September 2026
OTORISASI	DOSEN PENGEMBANG RPS		KOORDINATOR RMK	GPM (Gugus Penjaminan Mutu)	KETUA PRODI
					
Team Teaching	Ir. Wahab Musa, MT.,Ph.D		Iskandar Z. Nasibu, S.Pd, M.Eng.	Zainudin Bonok, ST.,MT	Ifan Wiranto, ST.,MT
CPL PRODI (Capaian Pembelajaran Lulusan Program Studi) Yang Dibebankan Pada Mata Kuliah)					

Capaian Pembelajaran Lulusan (CPL berdasarkan Keputusan asosiasi FOREI)	CPL-2	CPL-2: Kemampuan mendesain komponen, sistem dan/atau proses teknik elektro untuk memenuhi kebutuhan yang diharapkan di dalam batasan-batasan realistis, misalnya hukum, ekonomi, lingkungan, sosial, politik, kesehatan dan keselamatan, keberlanjutan serta untuk mengenali dan/atau memanfaatkan potensi sumber daya lokal dan nasional dengan wawasan global.
	CPL-4	CPL-4: Mengidentifikasi, merumuskan, menganalisis dan menyelesaikan permasalahan teknik elektro.
	CPL-5	CPL-5: Kemampuan menerapkan metode, keterampilan dan piranti teknik yang modern yang diperlukan untuk praktik teknik elektro.
Sustainable Development Goals (SDGs Terkait Mata Kuliah)	SDGs YANG DIDUKUNG MATA KULIAH	
	SDG 4 dan SDG 9	Pendidikan Berkualitas; Industri, Inovasi, dan Infrastruktur
Capaian Pembelajaran Mata Kuliah (CPMK adalah turunan CPL). CPMK bisa diturunkan menjadi sub CPMK tergantung keluasaan dan kedalaman serta karakteristik konten mata kuliah	CP MATA KULIAH (CPMK)	
	CPMK 2.67	CPMK 2.67: Mengevaluasi (C5) kebutuhan dan batasan realistis (teknis, ekonomi, keselamatan, lingkungan) dalam konteks mata kuliah Perancangan Sistem Digital.
	CPMK 2.68	CPMK 2.68: Merancang (C6) komponen/sistem/proses terkait mata kuliah Perancangan Sistem Digital yang memenuhi kebutuhan dalam batasan realistis.
	CPMK 4.103	CPMK 4.103: Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital.
	CPMK 4.104	CPMK 4.104: Menganalisis (C4) dan menyelesaikan permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital.
	CPMK 5.16	CPMK 5.16: Menerapkan (C3) metode dan piranti teknik modern dalam praktik mata kuliah Perancangan Sistem Digital.
	Kemampuan Akhir tiap Tahapan Belajar (Sub CPMK)	
	Sub-CPMK 2.67.1	Sub-CPMK 2.67.1: Mengidentifikasi (C4) kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada mata kuliah Perancangan Sistem Digital secara lengkap dan akurat berdasarkan data/kondisi nyata.
	Sub-CPMK 2.67.2	Sub-CPMK 2.67.2: Mengevaluasi (C5) kesesuaian kebutuhan dengan batasan realistis dalam konteks mata kuliah Perancangan Sistem Digital, serta menunjukkan kepedulian (A3) terhadap aspek keselamatan dan keberlanjutan lingkungan dalam setiap keputusan yang diambil.

	Sub-CPMK 2.68.1	Sub-CPMK 2.68.1: Menyusun (C5) alternatif rancangan komponen/sistem/proses terkait mata kuliah Perancangan Sistem Digital secara logis dan dapat dipertanggungjawabkan.									
	Sub-CPMK 2.68.2	Sub-CPMK 2.68.2: Merancang (C6) dan menghasilkan (P4) gambar/prototipe komponen/sistem/proses mata kuliah Perancangan Sistem Digital secara terampil dan presisi sehingga memenuhi kebutuhan dalam batasan realistik yang ditetapkan.									
	Sub-CPMK 4.103.1	Sub-CPMK 4.103.1: Mengidentifikasi (C2) permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital secara tepat berdasarkan data/gejala yang teramati.									
	Sub-CPMK 4.103.2	Sub-CPMK 4.103.2: Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital secara sistematis dan logis dalam bentuk pernyataan masalah yang jelas.									
	Sub-CPMK 4.104.1	Sub-CPMK 4.104.1: Menganalisis (C4) akar permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital secara mendalam dan berbasis data/fakta yang relevan.									
	Sub-CPMK 4.104.2	Sub-CPMK 4.104.2: Menyelesaikan (C4) dan mendemonstrasikan (P3) penyelesaian permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital dengan pendekatan yang tepat, serta menunjukkan ketekunan (A3) dalam mencoba berbagai alternatif solusi.									
	Sub-CPMK 5.16.1	Sub-CPMK 5.16.1: Mengoperasikan (C3) dan mendemonstrasikan (P3) penggunaan piranti/metode teknik modern pada mata kuliah Perancangan Sistem Digital secara terampil dan sesuai prosedur keselamatan kerja.									
	Sub-CPMK 5.16.2	Sub-CPMK 5.16.2: Menerapkan (C3) metode dan piranti teknik modern dalam praktik mata kuliah Perancangan Sistem Digital secara tepat dan presisi (P4), serta bertanggung jawab (A3) terhadap perawatan dan keselamatan penggunaan alat.									
Korelasi CPL Terhadap CPMK	CPL	CPMK 2.67		CPMK 2.68		CPMK 4.103		CPMK 4.104		CPMK 5.16	
	CPL-2	v		v							
	CPL-4					v		v			
	CPL-5									v	
Korelasi CPMK Terhadap Sub-CPMK	CPMK	Sub-CPMK 2.67.1	Sub-CPMK 2.67.2	Sub-CPMK 2.68.1	Sub-CPMK 2.68.2	Sub-CPMK 4.103.1	Sub-CPMK 4.103.2	Sub-CPMK 4.104.1	Sub-CPMK 4.1	Sub-CPMK 5.16.1	Sub-CPMK 5.16.2

[illegible]

	5	Roth, C.H., & John, L.K. (2016). Digital Systems Design Using VHDL, 3rd Edition. Cengage Learning.
	6	Harris, D.M., & Harris, S.L. (2021). Digital Design and Computer Architecture, 3rd Edition. Morgan Kaufmann.
	7	IEEE Std 1364-2005. IEEE Standard for Verilog Hardware Description Language.
	8	Modul Ajar Perancangan Sistem Digital, Jurusan Teknik Elektro, Universitas Negeri Gorontalo.
	Pendukung :	
	9	Standar IEEE 1076-2019 (VHDL Language Reference Manual).
	10	Jurnal-jurnal penelitian nasional terkait perancangan sistem digital dan implementasi FPGA/CPLD.
Dosen Pengampu	Ir. Wahab Musa, MT.,Ph.D Iskandar Z. Nasibu, S.Pd, M.Eng.	
Mata Kuliah Syarat (Jika Ada)	Tidak ada	

Minggu Ke-	Kemampuan Akhir Yang Diharapkan (Sub CPMK)	Materi Pembelajaran	Bentuk Pembelajaran [Estimasi Waktu]		Indikator dan Kriteria	Penilaian			Referensi
			Luring	Daring		Kelompok & Jenis	Teknik, Instrumen & Bentuk	Bobot (%)	
1	Sub-CPMK 2.67.1 Mengidentifikasi (C4) kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada mata kuliah Perancangan Sistem Digital secara lengkap dan akurat berdasarkan data/kondisi nyata.	1. Kontrak perkuliahan; proyek PjBL (Bag. 1): identifikasi kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada perancangan sistem digital.	Bentuk : PjBL Metode : Project-Based Learning Media Utama : Bahan ajar Jobsheet proyek Media Pendukung : Laptop LCD Waktu : TM : 3 x 50" TT : 3 x 60" BM : 3 x 60"		1.1.1.1. Ketepatan mengidentifikasi kebutuhan teknis, ekonomi, keselamatan, dan lingkungan secara lengkap dan akurat	Kelompok : Kognitif Jenis : Tugas	Teknik : Penugasan Kelompok Instrumen Rubrik Penilaian Tugas Bentuk: Tugas	4	1,3,7
2	Sub-CPMK 2.67.1 Mengidentifikasi (C4) kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada mata kuliah Perancangan Sistem Digital secara lengkap dan akurat berdasarkan data/kondisi nyata.	Proyek PjBL (Bag. 2): presentasi hasil identifikasi kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada perancangan sistem digital.	Bentuk : Presentasi Metode : Presentasi & evaluasi kelompok Media Utama : Bahan ajar Slide presentasi Media Pendukung : Laptop LCD Waktu : TM : 3 x 50" TT : 3 x 60" BM : 3 x 60"		2.1.2.1. Ketepatan mempresentasikan hasil identifikasi kebutuhan teknis, ekonomi, keselamatan, dan lingkungan	Kelompok : Kognitif Jenis : Presentasi	Teknik : Presentasi Kelompok Instrumen Rubrik Penilaian Presentasi Bentuk: Presentasi	4	1,3,7

3	Sub-CPMK 2.67.2 Mengevaluasi (C5) kesesuaian kebutuhan dengan batasan realistis dalam konteks mata kuliah Perancangan Sistem Digital, serta menunjukkan kepedulian (A3) terhadap aspek keselamatan dan keberlanjutan lingkungan dalam setiap keputusan yang diambil.	Proyek PjBL (Bag. 3): evaluasi kesesuaian kebutuhan dengan batasan realistis (teknis, ekonomi, keselamatan, lingkungan) pada perancangan sistem digital.	Bentuk : PjBL Metode : Project-Based Learning Media Utama : Bahan ajar Jobsheet proyek Media Pendukung : Laptop LCD Waktu : TM : 3 x 50" TT : 3 x 60" BM : 3 x 60"		3.1.3.1. Ketepatan mengevaluasi kesesuaian kebutuhan dengan batasan realistis, serta kepedulian terhadap keselamatan dan lingkungan	Kelompok : Afektif Jenis : Tugas	Teknik : Penugasan Kelompok Instrumen Rubrik Penilaian Tugas Bentuk: Tugas	4	1,3,7,8
4	Sub-CPMK 2.67.2 Mengevaluasi (C5) kesesuaian kebutuhan dengan batasan realistis dalam konteks mata kuliah Perancangan Sistem Digital, serta menunjukkan kepedulian (A3) terhadap aspek keselamatan dan keberlanjutan lingkungan dalam setiap keputusan yang diambil.	Proyek PjBL (Bag. 4): presentasi hasil evaluasi kesesuaian kebutuhan dengan batasan realistis pada perancangan sistem digital.	Bentuk : Presentasi Metode : Presentasi & evaluasi kelompok Media Utama : Bahan ajar Slide presentasi Media Pendukung : Laptop LCD Waktu : TM : 3 x 50" TT : 3 x 60" BM : 3 x 60"		4.1.4.1. Ketepatan mempresentasikan hasil evaluasi kesesuaian kebutuhan dengan batasan realistis, serta kepedulian terhadap keselamatan dan lingkungan	Kelompok : Afektif Jenis : Presentasi	Teknik : Presentasi Kelompok Instrumen Rubrik Penilaian Presentasi Bentuk: Presentasi	2	1,3,7,8

5	Sub-CPMK 2.68.1 Menyusun (C5) alternatif rancangan komponen/sistem/p roses terkait mata kuliah Perancangan Sistem Digital secara logis dan dapat dipertanggungjawa bkan.	Proyek PjBL (Bag. 5): penyusunan alternatif rancangan rangkaian kombinasiional/sek uensial sistem digital secara logis dan dapat dipertanggungjawa bkan.	Bentuk : PjBL Metode : Project-Based Learning Media Utama : Bahan ajar Jobsheet proyek Media Pendukung : Laptop LCD Waktu : TM : 3 x 50" TT : 3 x 60" BM : 3 x 60"		5.1.5.1. Ketepatan menyusun alternatif rancangan komponen/sistem secara logis dan dapat dipertanggungjawa bkan	Kelompok : Kognitif Jenis : Tugas	Teknik : Penugasan Kelompok Instrumen Rubrik Penilaian Tugas Bentuk: Tugas	4	1,2,3
6	Sub-CPMK 2.68.1 Menyusun (C5) alternatif rancangan komponen/sistem/p roses terkait mata kuliah Perancangan Sistem Digital secara logis dan dapat dipertanggungjawa bkan.	Proyek PjBL (Bag. 6): presentasi alternatif rancangan rangkaian kombinasiional/sek uensial sistem digital.	Bentuk : Presentasi Metode : Presentasi & evaluasi kelompok Media Utama : Bahan ajar Slide presentasi Media Pendukung : Laptop LCD Waktu : TM : 3 x 50" TT : 3 x 60" BM : 3 x 60"		6.1.6.1. Ketepatan mempresentasika n alternatif rancangan komponen/sistem secara logis dan dapat dipertanggungja wabkan	Kelompok : Afektif Jenis : Presentasi	Teknik : Presentasi Kelompok Instrumen Rubrik Penilaian Presentasi Bentuk: Presentasi	4	1,2,3

7	Sub-CPMK 2.68.2 Merancang (C6) dan menghasilkan (P4) gambar/prototipe komponen/sistem/p roses mata kuliah Perancangan Sistem Digital secara terampil dan presisi sehingga memenuhi kebutuhan dalam batasan realistis yang ditetapkan.	Proyek PjBL (Bag. 7): perancangan dan pembuatan gambar/prototipe sistem digital berbasis FPGA/CPLD menggunakan HDL (VHDL/Verilog).	Bentuk : PjBL Metode : Project-Based Learning Media Utama : Bahan ajar Jobsheet proyek Media Pendukung : Laptop LCD Waktu : TM : 3 x 50" TT : 3 x 60" BM : 3 x 60"		7.1.7.1. Ketepatan dan keterampilan merancang gambar/prototipe komponen/sistem secara terampil dan presisi	Kelompok : Psikomotorik Jenis : Tugas	Teknik : Penugasan Kelompok Instrumen Rubrik Penilaian Tugas Bentuk: Tugas	4	1,2,3,6
8	UTS Ujian Tengah Semester	Ujian Tengah Semester (UTS) — materi Sub-CPMK 2.67.1 s.d. Sub-CPMK 2.68.2.	Bentuk : Ujian di kelas Metode : Tes tertulis Media Utama : Soal ujian Media Pendukung : Lembar jawaban Waktu : TM : 3 x 50" TT : 3 x 60" BM : 3 x 60"		8.1. Ketepatan menjawab soal UTS sesuai capaian Sub-CPMK 2.67.1 s.d. 2.68.2	Kelompok : Kognitif Jenis : Ujian	Teknik : Tes Tertulis Instrumen Soal Esai/Uraian Bentuk: Ujian	12	1,2,3,4,6

9	Sub-CPMK 2.68.2 Merancang (C6) dan menghasilkan (P4) gambar/prototipe komponen/sistem/p roses mata kuliah Perancangan Sistem Digital secara terampil dan presisi sehingga memenuhi kebutuhan dalam batasan realistik yang ditetapkan.	Proyek PjBL (Bag. 8, lanjutan): presentasi gambar/prototipe sistem digital berbasis FPGA/CPLD hasil rancangan.	Bentuk : Presentasi Metode : Presentasi & evaluasi kelompok Media Utama : Bahan ajar Slide presentasi Media Pendukung : Laptop LCD Waktu : TM : 3 x 50" TT : 3 x 60" BM : 3 x 60"		9.1 9.1. Ketepatan dan keterampilan mempresentasikan gambar/prototipe komponen/sistem secara terampil dan presisi	Kelompok : Psikomotorik Jenis : Presentasi	Teknik : Presentasi Kelompok Instrumen Rubrik Penilaian Presentasi Bentuk: Presentasi	2	1,2,3,6
10	Sub-CPMK 4.103.1 Mengidentifikasi (C2) permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital secara tepat berdasarkan data/gejala yang teramati.	Proyek PjBL (Bag. 9): identifikasi dan presentasi permasalahan teknik elektro terkait perancangan sistem digital secara tepat berdasarkan data/gejala yang teramati.	Bentuk : Presentasi Metode : Presentasi & evaluasi kelompok Media Utama : Bahan ajar Slide presentasi Media Pendukung : Laptop LCD Waktu : TM : 3 x 50" TT : 3 x 60" BM : 3 x 60"		10.1.10.1. Ketepatan mengidentifikasi dan mempresentasikan permasalahan teknik elektro secara tepat berdasarkan data/gejala yang teramati	Kelompok : Kognitif Jenis : Presentasi	Teknik : Presentasi Kelompok Instrumen Rubrik Penilaian Presentasi Bentuk: Presentasi	10	1,4,5

11	Sub-CPMK 4.103.2 Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital secara sistematis dan logis dalam bentuk pernyataan masalah yang jelas.	Proyek PjBL (Bag. 10): perumusan dan presentasi permasalahan teknik elektro terkait perancangan sistem digital secara sistematis dan logis.	Bentuk : Presentasi Metode : Presentasi & evaluasi kelompok Media Utama : Bahan ajar Slide presentasi Media Pendukung : Laptop LCD Waktu : TM : 3 x 50" TT : 3 x 60" BM : 3 x 60"		11.1.11.1. Ketepatan merumuskan dan mempresentasikan permasalahan teknik elektro secara sistematis dan logis	Kelompok : Kognitif Jenis : Presentasi	Teknik : Presentasi Kelompok Instrumen Rubrik Penilaian Presentasi Bentuk: Presentasi	10	1,4,5
12	Sub-CPMK 4.104.1 Menganalisis (C4) akar permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital secara mendalam dan berbasis data/fakta yang relevan.	Proyek PjBL (Bag. 11): analisis dan presentasi akar permasalahan teknik elektro terkait perancangan sistem digital secara mendalam dan berbasis data/fakta yang relevan.	Bentuk : Presentasi Metode : Presentasi & evaluasi kelompok Media Utama : Bahan ajar Slide presentasi Media Pendukung : Laptop LCD Waktu : TM : 3 x 50" TT : 3 x 60" BM : 3 x 60"		12.1.12.1. Ketepatan menganalisis dan mempresentasikan akar permasalahan teknik elektro secara mendalam dan berbasis data/fakta yang relevan	Kelompok : Kognitif Jenis Presentasi	Teknik : Presentasi Kelompok Instrumen Rubrik Penilaian Presentasi Bentuk: Presentasi	10	1,4,5,6

13	Sub-CPMK 4.104.2 Menyelesaikan (C4) dan mendemonstrasikan (P3) penyelesaian permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital dengan pendekatan yang tepat, serta menunjukkan ketekunan (A3) dalam mencoba berbagai alternatif solusi.	Proyek PjBL (Bag. 12): penyelesaian dan presentasi penyelesaian permasalahan teknik elektro terkait perancangan sistem digital dengan pendekatan yang tepat.	Bentuk : Presentasi Metode : Presentasi & evaluasi kelompok Media Utama : Bahan ajar Slide presentasi Media Pendukung : Laptop LCD Waktu : TM : 3 x 50" TT : 3 x 60" BM : 3 x 60"		13.1.13.1. Ketepatan menyelesaikan dan mempresentasikan penyelesaian permasalahan teknik elektro dengan pendekatan yang tepat	Kelompok : Psikomotorik Jenis : Presentasi	Teknik : Presentasi Kelompok Instrumen Rubrik Penilaian Presentasi Bentuk: Presentasi	10	1,4,5,6
14	Sub-CPMK 5.16.1 Mengoperasikan (C3) dan mendemonstrasikan (P3) penggunaan piranti/metode teknik modern pada mata kuliah Perancangan Sistem Digital secara terampil dan sesuai prosedur keselamatan kerja.	Proyek PjBL (Bag. 13): pengoperasian dan demonstrasi/presentasi penggunaan piranti/metode teknik modern (simulator/sintesis HDL, papan pengembangan FPGA/CPLD) secara terampil dan sesuai prosedur keselamatan kerja.	Bentuk : Presentasi Metode : Presentasi & evaluasi kelompok Media Utama : Bahan ajar Slide presentasi Media Pendukung : Laptop LCD Waktu : TM : 3 x 50" TT : 3 x 60" BM : 3 x 60"		14.1.14.1. Ketepatan mengoperasikan dan mendemonstrasikan penggunaan piranti/metode teknik modern secara terampil dan sesuai prosedur keselamatan kerja	Kelompok : Psikomotorik Jenis : Presentasi	Teknik : Presentasi & Demonstrasi Kelompok Instrumen Rubrik Penilaian Presentasi Bentuk: Presentasi	10	1,2,5,6

15	Sub-CPMK 5.16.2 Menerapkan (C3) metode dan piranti teknik modern dalam praktik mata kuliah Perancangan Sistem Digital secara tepat dan presisi (P4), serta bertanggung jawab (A3) terhadap perawatan dan keselamatan penggunaan alat.	Proyek PjBL (Bag. 14): penerapan dan presentasi/demonst rasi metode dan piranti teknik modern secara tepat dan presisi dalam praktik perancangan sistem digital, serta tanggung jawab terhadap perawatan dan keselamatan penggunaan alat.	Bentuk : Presentasi Metode : Presentasi & evaluasi kelompok Media Utama : Bahan ajar Slide presentasi Media Pendukung : Laptop LCD Waktu : TM : 3 x 50" TT : 3 x 60" BM : 3 x 60"		15.1.15.1. Ketepatan menerapkan dan mempresentasikan metode dan piranti teknik modern secara tepat dan presisi, serta bertanggung jawab terhadap perawatan dan keselamatan penggunaan alat	Kelompok : Afektif Jenis : Presentasi	Teknik : Presentasi & Demonstrasi Kelompok Instrumen Rubrik Penilaian Presentasi Bentuk: Presentasi	10	1,2,5,6
16	UAS Evaluasi/Presentasi Akhir Proyek	Evaluasi/Presentasi Akhir Proyek — materi Sub-CPMK 4.103.1 s.d. Sub- CPMK 5.16.2 (PjBL: tidak ada UAS tertulis).	Bentuk : Presentasi Metode : Presentasi & evaluasi kelompok Media Utama : Bahan ajar Slide presentasi Media Pendukung : Laptop LCD Waktu : TM : 3 x 50" TT : 3 x 60" BM : 3 x 60"		16.1.16.1 Ketepatan mempresentasikan dan mempertanggungja wabkan hasil proyek perancangan sistem digital	Kelompok : Psikomotorik Jenis : Presentasi	Teknik : Presentasi & Demonstrasi Instrumen Rubrik Penilaian Presentasi Bentuk: Presentasi	-	1,4,5,6,8

PORTOFOLIO PENILAIAN & EVALUASI KETERCAPAIAN CPL MAHASISWA

Mg	CPL	CPMK	Sub-CPMK	Indikator	Bentuk Penilaian	Bobot Nilai (%)	Bobot (%) Sub-CPMK	Nilai Mhs	Capaian CPL pada MK
1	CPL-2	CPMK 2.67	Sub-CPMK 2.67.1	2.67.1	Tugas 1 (PjBL): Proyek Identifikasi Kebutuhan Sistem Digital — Bag. 1 (Penyusunan)	4	4		
2	CPL-2	CPMK 2.67	Sub-CPMK 2.67.1	2.67.1	Tugas 1 (PjBL): Proyek Identifikasi Kebutuhan Sistem Digital — Bag. 2 (Presentasi)	4	4		
3	CPL-2	CPMK 2.67	Sub-CPMK 2.67.2	2.67.2	Tugas 2 (PjBL): Proyek Evaluasi Kesesuaian Kebutuhan — Bag. 1 (Evaluasi)	4	4		
4	CPL-2	CPMK 2.67	Sub-CPMK 2.67.2	2.67.2	Tugas 2 (PjBL): Proyek Evaluasi Kesesuaian Kebutuhan — Bag. 2 (Presentasi)	2	2		
5	CPL-2	CPMK 2.68	Sub-CPMK 2.68.1	2.68.1	Tugas 3 (PjBL): Proyek Perancangan Alternatif Rangkaian Sistem Digital — Bag. 1 (Penyusunan)	4	4		

Mg	CPL	CPMK	Sub-CPMK	Indikator	Bentuk Penilaian	Bobot Nilai (%)	Bobot (%) Sub-CPMK	Nilai Mhs	Capaian CPL pada MK
6	CPL-2	CPMK 2.68	Sub-CPMK 2.68.1	2.68.1	Tugas 3 (PjBL): Proyek Perancangan Alternatif Rangkaian Sistem Digital — Bag. 2 (Presentasi)	4	4		
7	CPL-2	CPMK 2.68	Sub-CPMK 2.68.2	2.68.2	Tugas 4 (PjBL): Proyek Perancangan Gambar/Prototipe FPGA/CPLD — Bag. 1 (Perancangan)	4	4		
8	CPL-2	CPMK 2.67, CPMK 2.68	UTS	2.67.1-2.68.2	Ujian Tengah Semester (UTS) — materi minggu 1 s.d. 7	12	12		
9	CPL-2	CPMK 2.68	Sub-CPMK 2.68.2	2.68.2	Tugas 4 (PjBL): Proyek Perancangan Gambar/Prototipe FPGA/CPLD — Bag. 2 (Presentasi)	2	2		
10	CPL-4	CPMK 4.103	Sub-CPMK 4.103.1	4.103.1	Tugas 5 (Presentasi): Identifikasi Permasalahan Teknik Elektro Terkait Perancangan Sistem Digital	10	10		
11	CPL-4	CPMK 4.103	Sub-CPMK 4.103.2	4.103.2	Tugas 6 (Presentasi): Perumusan Masalah Teknik Elektro Terkait Perancangan Sistem Digital	10	10		

Mg	CPL	CPMK	Sub-CPMK	Indikator	Bentuk Penilaian	Bobot Nilai (%)	Bobot (%) Sub-CPMK	Nilai Mhs	Capaian CPL pada MK
12	CPL-4	CPMK 4.104	Sub-CPMK 4.104.1	4.104.1	Tugas 7 (Presentasi): Analisis Akar Permasalahan Teknik Elektro Terkait Perancangan Sistem Digital	10	10		
13	CPL-4	CPMK 4.104	Sub-CPMK 4.104.2	4.104.2	Tugas 8 (Presentasi): Penyelesaian Permasalahan Teknik Elektro Terkait Perancangan Sistem Digital	10	10		
14	CPL-5	CPMK 5.16	Sub-CPMK 5.16.1	5.16.1	Tugas 9 (Presentasi & Demonstrasi): Pengoperasian Piranti/Metode Teknik Modern Perancangan Sistem Digital	10	10		
15	CPL-5	CPMK 5.16	Sub-CPMK 5.16.2	5.16.2	Tugas 10 (Presentasi & Demonstrasi): Penerapan Metode dan Piranti Teknik Modern Perancangan Sistem Digital	10	10		

Mg	CPL	CPMK	Sub-CPMK	Indikator	Bentuk Penilaian	Bobot Nilai (%)	Bobot (%) Sub-CPMK	Nilai Mhs	Capaian CPL pada MK
16	CPL-4, CPL-5	CPMK 4.103, CPMK 4.104, CPMK 5.16	UAS	4.103.1-5.16.2	Evaluasi/Presentasi Akhir Proyek — materi minggu 9 s.d. 15 (PjBL: tidak ada UAS tertulis)	0	0		
TOTAL BOBOT						100	100		

Nilai akhir mahasiswa = Σ (Nilai mahasiswa x Bobot%). Ketercapaian CPL mata kuliah dihitung dari agregasi penilaian yang memetakan CPMK/Sub-CPMK terhadap CPL-2, CPL-4, dan CPL-5.

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Perancangan Sistem Digital	EAD606162
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Tugas Proyek (PjBL & Presentasi)	Tugas 1 (PjBL): Proyek Identifikasi Kebutuhan Sistem Digital — Bag. 1 (Penyusunan) & Bag. 2 (Presentasi)	Bag. 1 — Minggu ke-1; Bag. 2 — Minggu ke-2
CPL	CPMK	SUB CPMK
CPL-2: Kemampuan mendesain komponen, sistem dan/atau proses teknik elektro untuk memenuhi kebutuhan yang diharapkan di dalam batasan-batasan realistis, misalnya hukum, ekonomi, lingkungan, sosial, politik, kesehatan dan keselamatan, keberlanjutan serta untuk mengenali dan/atau memanfaatkan potensi sumber daya lokal dan nasional dengan wawasan global.	CPMK 2.67: Mengevaluasi (C5) kebutuhan dan batasan realistis (teknis, ekonomi, keselamatan, lingkungan) dalam konteks mata kuliah Perancangan Sistem Digital.	Sub-CPMK 2.67.1: Mengidentifikasi (C4) kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada mata kuliah Perancangan Sistem Digital secara lengkap dan akurat berdasarkan data/kondisi nyata.
DISKRIPSI TUGAS		
Tugas 1 merupakan proyek PjBL (Project-Based Learning) berkelompok yang dikerjakan dalam 2 bagian dengan total bobot: (1) Bag. 1 — Minggu ke-1 (bobot 4%, dinilai sebagai Tugas): identifikasi kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada perancangan sistem digital secara lengkap dan akurat berdasarkan data/kondisi nyata; (2) Bag. 2 — Minggu ke-2 (bobot 4%, dinilai sebagai Presentasi): presentasi hasil identifikasi kebutuhan yang telah disusun. Total bobot Tugas 1 adalah 8% (4% + 4%), mencakup seluruh proses identifikasi hingga presentasi kebutuhan.		

BENTUK DAN FORMAT LUARAN

Bag. 1: dokumen identifikasi kebutuhan tertulis. Bag. 2: slide presentasi dan catatan hasil diskusi/tanya jawab, dinilai berdasarkan rubrik penilaian tugas dan presentasi.

RUBRIKASI PENILAIAN

Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan mengidentifikasi dan mempresentasikan kebutuhan teknis, ekonomi, keselamatan, dan lingkungan secara lengkap dan akurat berdasarkan data/kondisi nyata	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Perancangan Sistem Digital	EAD606162
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Tugas Proyek (PjBL & Presentasi)	Tugas 2 (PjBL): Proyek Evaluasi Kesesuaian Kebutuhan dengan Batasan Realistik — Bag. 1 (Evaluasi) & Bag. 2 (Presentasi)	Bag. 1 — Minggu ke-3; Bag. 2 — Minggu ke-4
CPL	CPMK	SUB CPMK
CPL-2: Kemampuan mendesain komponen, sistem dan/atau proses teknik elektro untuk memenuhi kebutuhan yang diharapkan di dalam batasan-batasan realistis, misalnya hukum, ekonomi, lingkungan, sosial, politik, kesehatan dan keselamatan, keberlanjutan serta untuk mengenali dan/atau memanfaatkan potensi sumber daya lokal dan nasional dengan wawasan global.	CPMK 2.67: Mengevaluasi (C5) kebutuhan dan batasan realistis (teknis, ekonomi, keselamatan, lingkungan) dalam konteks mata kuliah Perancangan Sistem Digital.	Sub-CPMK 2.67.2: Mengevaluasi (C5) kesesuaian kebutuhan dengan batasan realistis dalam konteks mata kuliah Perancangan Sistem Digital, serta menunjukkan kepedulian (A3) terhadap aspek keselamatan dan keberlanjutan lingkungan dalam setiap keputusan yang diambil.
DISKRIPSI TUGAS		
Tugas 2 merupakan proyek PjBL (Project-Based Learning) berkelompok yang dikerjakan dalam 2 bagian dengan total bobot: (1) Bag. 1 — Minggu ke-3 (bobot 4%, dinilai sebagai Tugas): evaluasi kesesuaian kebutuhan dengan batasan realistis (teknis, ekonomi, keselamatan, lingkungan) pada perancangan sistem digital; (2) Bag. 2 — Minggu ke-4 (bobot 2%, dinilai sebagai Presentasi): presentasi hasil evaluasi kesesuaian kebutuhan yang telah dilakukan. Total bobot Tugas 2 adalah 6% (4% + 2%), mencakup seluruh proses evaluasi hingga presentasi.		

BENTUK DAN FORMAT LUARAN

Bag. 1: dokumen evaluasi kesesuaian kebutuhan tertulis. Bag. 2: slide presentasi dan catatan hasil diskusi/tanya jawab, dinilai berdasarkan rubrik penilaian tugas dan presentasi.

RUBRIKASI PENILAIAN

Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan mengevaluasi dan mempresentasikan kesesuaian kebutuhan dengan batasan realistis, serta menunjukkan kepedulian terhadap aspek keselamatan dan keberlanjutan lingkungan	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Perancangan Sistem Digital	EAD606162
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Tugas Proyek (PjBL & Presentasi)	Tugas 3 (PjBL): Proyek Perancangan Alternatif Rangkaian Sistem Digital — Bag. 1 (Penyusunan) & Bag. 2 (Presentasi)	Bag. 1 — Minggu ke-5; Bag. 2 — Minggu ke-6
CPL	CPMK	SUB CPMK
CPL-2: Kemampuan mendesain komponen, sistem dan/atau proses teknik elektro untuk memenuhi kebutuhan yang diharapkan di dalam batasan-batasan realistis, misalnya hukum, ekonomi, lingkungan, sosial, politik, kesehatan dan keselamatan, keberlanjutan serta untuk mengenali dan/atau memanfaatkan potensi sumber daya lokal dan nasional dengan wawasan global.	CPMK 2.68: Merancang (C6) komponen/sistem/proses terkait mata kuliah Perancangan Sistem Digital yang memenuhi kebutuhan dalam batasan realistis.	Sub-CPMK 2.68.1: Menyusun (C5) alternatif rancangan komponen/sistem/proses terkait mata kuliah Perancangan Sistem Digital secara logis dan dapat dipertanggungjawabkan.
DISKRIPSI TUGAS		
Tugas 3 merupakan proyek PjBL (Project-Based Learning) berkelompok yang dikerjakan dalam 2 bagian dengan total bobot: (1) Bag. 1 — Minggu ke-5 (bobot 4%, dinilai sebagai Tugas); penyusunan alternatif rancangan rangkaian kombinasional/sekuensial sistem digital secara logis dan dapat dipertanggungjawabkan; (2) Bag. 2 — Minggu ke-6 (bobot 4%, dinilai sebagai Presentasi): presentasi alternatif rancangan yang telah disusun. Total bobot Tugas 3 adalah 8% (4% + 4%), mencakup seluruh proses penyusunan hingga presentasi alternatif rancangan.		

BENTUK DAN FORMAT LUARAN									
Bag. 1: dokumen alternatif rancangan rangkaian sistem digital tertulis. Bag. 2: slide presentasi dan catatan hasil diskusi/tanya jawab, dinilai berdasarkan rubrik penilaian tugas dan presentasi.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan menyusun dan mempresentasikan alternatif rancangan komponen/sistem secara logis dan dapat dipertanggungjawabkan	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Perancangan Sistem Digital	EAD606162
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Tugas Proyek (PjBL & Presentasi)	Tugas 4 (PjBL): Proyek Perancangan Gambar/Prototipe Sistem Digital Berbasis FPGA/CPLD — Bag. 1 (Perancangan) & Bag. 2 (Presentasi)	Bag. 1 — Minggu ke-7; Bag. 2 — Minggu ke-9 (setelah UTS)
CPL	CPMK	SUB CPMK
CPL-2: Kemampuan mendesain komponen, sistem dan/atau proses teknik elektro untuk memenuhi kebutuhan yang diharapkan di dalam batasan-batasan realistis, misalnya hukum, ekonomi, lingkungan, sosial, politik, kesehatan dan keselamatan, keberlanjutan serta untuk mengenali dan/atau memanfaatkan potensi sumber daya lokal dan nasional dengan wawasan global.	CPMK 2.68: Merancang (C6) komponen/sistem/proses terkait mata kuliah Perancangan Sistem Digital yang memenuhi kebutuhan dalam batasan realistis.	Sub-CPMK 2.68.2: Merancang (C6) dan menghasilkan (P4) gambar/prototipe komponen/sistem/proses mata kuliah Perancangan Sistem Digital secara terampil dan presisi sehingga memenuhi kebutuhan dalam batasan realistis yang ditetapkan.
DISKRIPSI TUGAS		
Tugas 4 merupakan proyek PjBL (Project-Based Learning) lanjutan yang dikerjakan dalam 2 bagian dengan total bobot: (1) Bag. 1 — Minggu ke-7 (bobot 4%, dinilai sebagai Tugas): perancangan dan pembuatan gambar/prototipe sistem digital berbasis FPGA/CPLD menggunakan HDL (VHDL/Verilog) secara terampil dan presisi; (2) Bag. 2 — Minggu ke-9, setelah UTS (bobot 2%, dinilai sebagai Presentasi): presentasi gambar/prototipe yang telah dirancang. Total bobot Tugas 4 adalah 6% (4% + 2%), mencakup seluruh proses perancangan hingga presentasi gambar/prototipe. Judul penelitian sebagai reverensi Smart System Monitoring Estimasi Lokasi Gangguan Pada Jaringan Distribusi 20 Kv Menggunakan Arduino Platform Blynk Node Mcu Esp 8266		

BENTUK DAN FORMAT LUARAN

Bag. 1: gambar/prototipe sistem digital (skematik/kode HDL) beserta dokumentasi teknis. Bag. 2: slide presentasi dan catatan hasil diskusi/tanya jawab, dinilai berdasarkan rubrik penilaian tugas dan presentasi.

RUBRIKASI PENILAIAN

Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan merancang dan mempresentasikan gambar/prototipe komponen/sistem secara terampil dan presisi sehingga memenuhi kebutuhan dalam batasan realistis yang ditetapkan	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Perancangan Sistem Digital	EAD606162
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Presentasi Kelompok	Tugas 5 (Presentasi): Identifikasi Permasalahan Teknik Elektro Terkait Perancangan Sistem Digital	Minggu ke-9 (di kelas)
CPL	CPMK	SUB CPMK
CPL-4: Mengidentifikasi, merumuskan, menganalisis dan menyelesaikan permasalahan teknik elektro.	CPMK 4.103: Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital.	Sub-CPMK 4.103.1: Mengidentifikasi (C2) permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital secara tepat berdasarkan data/gejala yang teramati.
DISKRIPSI TUGAS		
Tugas 5 berupa presentasi kelompok hasil identifikasi permasalahan teknik elektro terkait perancangan sistem digital secara tepat berdasarkan data/gejala yang teramati (proyek PjBL lanjutan dari Tugas 1-4).		

BENTUK DAN FORMAT LUARAN									
Slide presentasi dan laporan tertulis hasil identifikasi permasalahan, dinilai berdasarkan rubrik penilaian presentasi.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan mengidentifikasi dan mempresentasikan permasalahan teknik elektro secara tepat berdasarkan data/gejala yang teramati	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Perancangan Sistem Digital	EAD606162
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Presentasi Kelompok	Tugas 6 (Presentasi): Perumusan Masalah Teknik Elektro Terkait Perancangan Sistem Digital	Minggu ke-10 (di kelas)
CPL	CPMK	SUB CPMK
CPL-4: Mengidentifikasi, merumuskan, menganalisis dan menyelesaikan permasalahan teknik elektro.	CPMK 4.103: Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital.	Sub-CPMK 4.103.2: Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital secara sistematis dan logis dalam bentuk pernyataan masalah yang jelas.
DISKRIPSI TUGAS		
Tugas 6 berupa presentasi kelompok hasil perumusan permasalahan teknik elektro terkait perancangan sistem digital secara sistematis dan logis dalam bentuk pernyataan masalah yang jelas.		

BENTUK DAN FORMAT LUARAN									
Slide presentasi dan laporan tertulis rumusan masalah, dinilai berdasarkan rubrik penilaian presentasi.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan merumuskan dan mempresentasikan permasalahan teknik elektro secara sistematis dan logis dalam bentuk pernyataan masalah yang jelas	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Perancangan Sistem Digital	EAD606162
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Presentasi Kelompok	Tugas 7 (Presentasi): Analisis Akar Permasalahan Teknik Elektro Terkait Perancangan Sistem Digital	Minggu ke-11 (di kelas)
CPL	CPMK	SUB CPMK
CPL-4: Mengidentifikasi, merumuskan, menganalisis dan menyelesaikan permasalahan teknik elektro.	CPMK 4.104: Menganalisis (C4) dan menyelesaikan permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital.	Sub-CPMK 4.104.1: Menganalisis (C4) akar permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital secara mendalam dan berbasis data/fakta yang relevan.
DISKRIPSI TUGAS		
Tugas 7 berupa presentasi kelompok hasil analisis akar permasalahan teknik elektro terkait perancangan sistem digital secara mendalam dan berbasis data/fakta yang relevan.		

BENTUK DAN FORMAT LUARAN									
Slide presentasi dan laporan tertulis hasil analisis akar permasalahan, dinilai berdasarkan rubrik penilaian presentasi.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan menganalisis dan mempresentasikan akar permasalahan teknik elektro secara mendalam dan berbasis data/fakta yang relevan	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Perancangan Sistem Digital	EAD606162
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Presentasi Kelompok	Tugas 8 (Presentasi): Penyelesaian Permasalahan Teknik Elektro Terkait Perancangan Sistem Digital	Minggu ke-12 (di kelas)
CPL	CPMK	SUB CPMK
CPL-4: Mengidentifikasi, merumuskan, menganalisis dan menyelesaikan permasalahan teknik elektro.	CPMK 4.104: Menganalisis (C4) dan menyelesaikan permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital.	Sub-CPMK 4.104.2: Menyelesaikan (C4) dan mendemonstrasikan (P3) penyelesaian permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital dengan pendekatan yang tepat, serta menunjukkan ketekunan (A3) dalam mencoba berbagai alternatif solusi.
DISKRIPSI TUGAS		
Tugas 8 berupa presentasi kelompok hasil penyelesaian dan demonstrasi penyelesaian permasalahan teknik elektro terkait perancangan sistem digital dengan pendekatan yang tepat, mencoba berbagai alternatif solusi.		

BENTUK DAN FORMAT LUARAN									
Slide presentasi dan laporan tertulis penyelesaian masalah, dinilai berdasarkan rubrik penilaian presentasi.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan menyelesaikan dan mempresentasikan penyelesaian permasalahan teknik elektro dengan pendekatan yang tepat, serta menunjukkan ketekunan dalam mencoba berbagai alternatif solusi	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Perancangan Sistem Digital	EAD606162
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Presentasi Kelompok	Tugas 9 (Presentasi & Demonstrasi): Pengoperasian Piranti/Metode Teknik Modern Perancangan Sistem Digital	Minggu ke-13 (di kelas/laboratorium)
CPL	CPMK	SUB CPMK
CPL-5: Kemampuan menerapkan metode, keterampilan dan piranti teknik yang modern yang diperlukan untuk praktik teknik elektro.	CPMK 5.16: Menerapkan (C3) metode dan piranti teknik modern dalam praktik mata kuliah Perancangan Sistem Digital.	Sub-CPMK 5.16.1: Mengoperasikan (C3) dan mendemonstrasikan (P3) penggunaan piranti/metode teknik modern pada mata kuliah Perancangan Sistem Digital secara terampil dan sesuai prosedur keselamatan kerja.
DISKRIPSI TUGAS		
Tugas 9 berupa presentasi dan demonstrasi kelompok pengoperasian piranti/metode teknik modern (simulator/sintesis HDL, papan pengembangan FPGA/CPLD) secara terampil dan sesuai prosedur keselamatan kerja.		

BENTUK DAN FORMAT LUARAN									
Slide presentasi, demonstrasi langsung penggunaan piranti, dan laporan tertulis, dinilai berdasarkan rubrik penilaian presentasi.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan mengoperasikan dan mendemonstrasikan penggunaan piranti/metode teknik modern secara terampil dan sesuai prosedur keselamatan kerja	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA TUGAS MAHASISWA		
	Nama MK	Kode MK
	Perancangan Sistem Digital	EAD606162
TEKNIK EVALUASI	NAMA TUGAS	WAKTU Pengerjaan Tugas
Presentasi Kelompok	Tugas 10 (Presentasi & Demonstrasi): Penerapan Metode dan Piranti Teknik Modern Perancangan Sistem Digital	Minggu ke-14 (di kelas/laboratorium)
CPL	CPMK	SUB CPMK
CPL-5: Kemampuan menerapkan metode, keterampilan dan piranti teknik yang modern yang diperlukan untuk praktik teknik elektro.	CPMK 5.16: Menerapkan (C3) metode dan piranti teknik modern dalam praktik mata kuliah Perancangan Sistem Digital.	Sub-CPMK 5.16.2: Menerapkan (C3) metode dan piranti teknik modern dalam praktik mata kuliah Perancangan Sistem Digital secara tepat dan presisi (P4), serta bertanggung jawab (A3) terhadap perawatan dan keselamatan penggunaan alat.
DISKRIPSI TUGAS		
Tugas 10 berupa presentasi dan demonstrasi kelompok penerapan metode dan piranti teknik modern secara tepat dan presisi dalam praktik perancangan sistem digital, serta tanggung jawab terhadap perawatan dan keselamatan penggunaan alat.		

BENTUK DAN FORMAT LUARAN									
Slide presentasi, demonstrasi langsung penerapan metode/piranti, dan laporan tertulis, dinilai berdasarkan rubrik penilaian presentasi.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B	B ⁺	A ⁻	A
Ketepatan menerapkan dan mempresentasikan metode dan piranti teknik modern secara tepat dan presisi, serta bertanggung jawab terhadap perawatan dan keselamatan penggunaan alat	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA UJIAN TENGAH SEMESTER MAHASISWA

	Nama MK	Kode MK
	Perancangan Sistem Digital	EAD606162
TEKNIK EVALUASI	Ujian Tengah Semester	WAKTU Pengerjaan Tugas
Ujian	Materi pertemuan ke-1 s.d. ke-7: kebutuhan teknis, ekonomi, keselamatan, dan lingkungan, evaluasi kesesuaian kebutuhan dengan batasan realistik, serta penyusunan dan perancangan alternatif rangkaian/gambar prototipe sistem digital	150 menit, dilaksanakan pada minggu ke-8
CPL	CPMK	SUB CPMK
CPL-2: Kemampuan mendesain komponen, sistem dan/atau proses teknik elektro untuk memenuhi kebutuhan yang diharapkan di dalam batasan-batasan realistik, misalnya hukum, ekonomi, lingkungan, sosial, politik, kesehatan dan keselamatan, keberlanjutan serta untuk mengenali dan/atau memanfaatkan potensi sumber daya lokal dan nasional dengan wawasan global.	CPMK 2.67: Mengevaluasi (C5) kebutuhan dan batasan realistik (teknis, ekonomi, keselamatan, lingkungan) dalam konteks mata kuliah Perancangan Sistem Digital. / CPMK 2.68: Merancang (C6) komponen/sistem/proses terkait mata kuliah Perancangan Sistem Digital yang memenuhi kebutuhan dalam batasan realistik.	Sub-CPMK 2.67.1 s.d. Sub-CPMK 2.68.2
DISKRIPSI TUGAS		
Ujian Tengah Semester (UTS) berupa ujian tertulis individu yang mencakup materi pertemuan ke-1 s.d. ke-7, meliputi identifikasi kebutuhan teknis, ekonomi, keselamatan, dan lingkungan, evaluasi kesesuaian kebutuhan dengan batasan realistik, serta penyusunan dan perancangan alternatif rangkaian/gambar prototipe sistem digital. Soal berbentuk esai/uraian yang menguji pemahaman konsep dan penerapannya.		

BENTUK DAN FORMAT LUARAN									
Lembar jawaban ujian tertulis, dikerjakan secara individu dalam waktu 150 menit.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B ⁺	B ⁺	A ⁻	A
Ketepatan menjawab soal UTS materi pertemuan 1 s.d. 7 tentang perancangan sistem digital	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RENCANA UJIAN AKHIR SEMESTER MAHASISWA		
	Nama MK	Kode MK
	Perancangan Sistem Digital	EAD606162
TEKNIK EVALUASI	Evaluasi/Presentasi Akhir Proyek	WAKTU Pengerjaan Tugas
Ujian	Presentasi dan demonstrasi akhir hasil identifikasi, perumusan, analisis, dan penyelesaian permasalahan teknik elektro terkait perancangan sistem digital (Tugas 5-10), termasuk verifikasi terhadap rancangan sistem digital hasil Tugas 1-4, di depan dosen dan mahasiswa lain (PjBL: tidak ada UAS tertulis, diganti evaluasi/presentasi proyek akhir).	150 menit, dilaksanakan pada minggu ke-16
CPL	CPMK	SUB CPMK
CPL-4: Mengidentifikasi, merumuskan, menganalisis dan menyelesaikan permasalahan teknik elektro. CPL-5: Kemampuan menerapkan metode, keterampilan dan piranti teknik yang modern yang diperlukan untuk praktik teknik elektro.	CPMK 4.103: Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital. / CPMK 4.104: Menganalisis (C4) dan menyelesaikan permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital. / CPMK 5.16: Menerapkan (C3) metode dan piranti teknik modern dalam praktik mata kuliah Perancangan Sistem Digital.	Sub-CPMK 4.103.1 s.d. Sub-CPMK 5.16.2 (materi pertemuan ke-9 s.d. ke-15)
DISKRIPSI TUGAS		
Evaluasi/Presentasi Akhir Proyek berupa presentasi dan demonstrasi akhir atas identifikasi, perumusan, analisis, dan penyelesaian permasalahan teknik elektro terkait perancangan sistem digital yang telah dikerjakan pada Tugas 5-10, termasuk verifikasi keterkaitannya dengan rancangan sistem digital hasil Tugas 1-4. Karena mata kuliah ini berjenis PjBL, tidak terdapat ujian tertulis UAS; nilai proyek telah diperhitungkan sepenuhnya pada Tugas 1-10, sehingga bobot evaluasi akhir ini pada tabel Portofolio Penilaian adalah 0%.		

BENTUK DAN FORMAT LUARAN									
Presentasi dan demonstrasi hasil analisis dan penyelesaian masalah perancangan sistem digital, disertai tanya jawab dan umpan balik dari dosen.									
RUBRIKASI PENILAIAN									
Komponen Penilaian	Indikator Penilaian								
	E	D	C	C ⁺	B ⁻	B ⁺	B ⁺	A ⁻	A
Ketepatan mempresentasikan dan mempertanggungjawabkan hasil analisis dan penyelesaian masalah perancangan sistem digital	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100

RUBRIK PENILAIAN

SUBCPMK	Kategorisasi Tingkatan Kinerja									Pengampu Penilai
	E	D	C	C ⁺	B ⁻	B ⁺	B ⁺	A ⁻	A	
Sub-CPMK 2.67.1: Mengidentifikasi (C4) kebutuhan teknis, ekonomi, keselamatan, dan lingkungan pada mata kuliah Perancangan Sistem Digital secara lengkap dan akurat berdasarkan data/kondisi nyata.	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.
Sub-CPMK 2.67.2: Mengevaluasi (C5) kesesuaian kebutuhan dengan batasan realistis dalam konteks mata kuliah Perancangan Sistem Digital, serta menunjukkan kepedulian (A3)	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.

terhadap aspek keselamatan dan keberlanjutan lingkungan dalam setiap keputusan yang diambil.										
Sub-CPMK 2.68.1: Menyusun (C5) alternatif rancangan komponen/sistem/proses terkait mata kuliah Perancangan Sistem Digital secara logis dan dapat dipertanggungjawabkan.	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.
Sub-CPMK 2.68.2: Merancang (C6) dan menghasilkan (P4) gambar/prototipe komponen/sistem/proses mata kuliah Perancangan Sistem Digital	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.

secara terampil dan presisi sehingga memenuhi kebutuhan dalam batasan realistis yang ditetapkan.										
Sub-CPMK 4.103.1: Mengidentifikasi (C2) permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital secara tepat berdasarkan data/gejala yang teramati.	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.
Sub-CPMK 4.103.2: Merumuskan (C3) permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital secara sistematis	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.

dan logis dalam bentuk pernyataan masalah yang jelas.										
Sub-CPMK 4.104.1: Menganalisis (C4) akar permasalahan teknik elektro terkait mata kuliah Perancangan Sistem Digital secara mendalam dan berbasis data/fakta yang relevan.	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.
Sub-CPMK 4.104.2: Menyelesaikan (C4) dan mendemonstrasikan (P3) penyelesaian permasalahan teknik elektro terkait mata kuliah Perancangan	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.

Sistem Digital dengan pendekatan yang tepat, serta menunjukkan ketekunan (A3) dalam mencoba berbagai alternatif solusi.										
Sub-CPMK 5.16.1: Mengoperasikan (C3) dan mendemonstrasikan (P3) penggunaan piranti/metode teknik modern pada mata kuliah Perancangan Sistem Digital secara terampil dan sesuai prosedur keselamatan kerja.	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.
Sub-CPMK 5.16.2: Menerapkan (C3) metode dan piranti teknik modern dalam praktik mata kuliah Perancangan	<50	50-54	55-64	65-69	70-74	75-79	80-84	85-89	90-100	Ir. Wahab Musa, MT.,Ph.D & Iskandar Z. Nasibu, S.Pd, M.Eng.

[illegible]

REFERENSI.

DAFTAR PUSTAKA	
No	Referensi
Pustaka Utama:	
1	Mano, M.M., & Ciletti, M.D. (2018). Digital Design: With an Introduction to the Verilog HDL, VHDL, and SystemVerilog, 6th Edition. Pearson.
2	Wakerly, J.F. (2018). Digital Design: Principles and Practices, 5th Edition. Pearson.
3	Brown, S., & Vranesic, Z. (2014). Fundamentals of Digital Logic with Verilog Design, 3rd Edition. McGraw-Hill.
4	Pedroni, V.A. (2010). Circuit Design and Simulation with VHDL, 2nd Edition. MIT Press.
5	Roth, C.H., & John, L.K. (2016). Digital Systems Design Using VHDL, 3rd Edition. Cengage Learning.
6	Harris, D.M., & Harris, S.L. (2021). Digital Design and Computer Architecture, 3rd Edition. Morgan Kaufmann.
7	IEEE Std 1364-2005. IEEE Standard for Verilog Hardware Description Language.
8	Modul Ajar Perancangan Sistem Digital, Jurusan Teknik Elektro, Universitas Negeri Gorontalo.
Pustaka Pendukung:	
9	Standar IEEE 1076-2019 (VHDL Language Reference Manual).
10	Jurnal-jurnal penelitian nasional terkait perancangan sistem digital dan implementasi FPGA/CPLD.